



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Ryu OGIWARA, et al.

GAU:

SERIAL NO: 10/830,046

EXAMINER:

FILED: April 23, 2004

FOR: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:


| <u>COUNTRY</u> | <u>APPLICATION NUMBER</u> | <u>MONTH/DAY/YEAR</u> |
|----------------|---------------------------|-----------------------|
| JAPAN | 2003-411430 | December 10, 2003 |

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak
Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

Joseph A. Scafetta, Jr.
Registration No. 26,803

0330801
10/830,046

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 1 0 日
Date of Application:

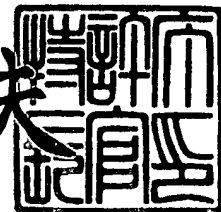
出 願 番 号 特 願 2 0 0 3 - 4 1 1 4 3 0
Application Number:
ST. 10/C] : [J P 2 0 0 3 - 4 1 1 4 3 0]

願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 4 年 5 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



CERTIFIED COPY OF
PRIORITY DOCUMENT

BEST AVAILABLE COPY

出証番号 出証特 2 0 0 4 - 3 0 3 8 6 9 0

【書類名】 特許願
【整理番号】 A000303045
【提出日】 平成15年12月10日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/76
H01L 27/10

【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内
【氏名】 荻原 隆

【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内
【氏名】 高島 大三郎

【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝

【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181

【選任した代理人】
【識別番号】 100091351
【弁理士】
【氏名又は名称】 河野 哲

【選任した代理人】
【識別番号】 100088683
【弁理士】
【氏名又は名称】 中村 誠

【選任した代理人】
【識別番号】 100108855
【弁理士】
【氏名又は名称】 蔵田 昌俊

【選任した代理人】
【識別番号】 100084618
【弁理士】
【氏名又は名称】 村松 貞男

【選任した代理人】
【識別番号】 100092196
【弁理士】
【氏名又は名称】 橋本 良郎

【手数料の表示】
【予納台帳番号】 011567
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

第 1 電極と第 2 電極とを有する記憶素子としての強誘電体キャパシタを有するメモリセルを含んだメモリセルアレイと、

前記第 1 電極と電氣的に接続された第 1 ビット線と、

前記第 1 ビット線と相補な第 2 ビット線と、

前記第 2 電極に第 1 電位を供給することにより、温度の上昇に伴って第 1 変化率で下降する電圧を前記強誘電体キャパシタに印加する第 1 電位発生回路と、

前記第 1 ビット線と前記第 2 ビット線との間の電位差を増幅する、センスアンプと、

を具備することを特徴とする半導体集積回路装置。

【請求項 2】

第 1 電極と第 2 電極とを有する記憶素子としての強誘電体キャパシタを有するメモリセルを含んだメモリセルアレイと、

前記第 1 電極と電氣的に接続された第 1 ビット線と、

前記第 1 ビット線と相補な第 2 ビット線と、

前記第 1 ビット線と前記第 2 ビット線との間の電位差を増幅するセンスアンプと、

前記センスアンプの電源電位として温度の上昇に伴って第 2 変化率で下降する電圧を供給する第 2 電位発生回路と、

を具備することを特徴とする半導体集積回路装置。

【請求項 3】

前記第 2 電極に第 1 電位を供給することにより、温度の上昇に伴って第 1 変化率で下降する電圧を前記キャパシタに印加する第 1 電位発生回路をさらに具備することを特徴とする請求項 2 に記載の半導体集積回路装置。

【請求項 4】

前記第 2 変化率は、前記第 1 変化率と同じであることをことを特徴とする請求項 3 に記載の半導体集積回路装置。

【請求項 5】

前記第 1 変化率または第 2 変化率は前記記憶素子としての前記強誘電体キャパシタの飽和電圧が有する温度依存性に等しいことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 6】

前記第 2 ビット線に、参照電位として温度の上昇に伴って第 3 変化率で上昇する電圧を有する電位を供給する第 3 電位発生回路をさらに具備することを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 7】

前記第 3 変化率は、前記強誘電体キャパシタからの“0”データ読み出し時の最大値と“1”データ読み出し時の最小値との中間の値が温度の上昇に伴って変化する変化率と同じであることを特徴とする請求項 6 に記載の半導体集積回路装置。

【請求項 8】

前記第 1 変化率は、前記強誘電体キャパシタからの“0”データ読み出し時の最大値と“1”データ読み出し時の最小値の中間の値が温度に依存せず一定となるように温度依存性を持たせることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 9】

第 1 電極と第 2 電極とを有する記憶素子としての強誘電体キャパシタを有するメモリセルを含んだメモリセルアレイと、

前記第 1 電極と電氣的に接続された第 1 ビット線と、

前記第 1 ビット線と相補な第 2 ビット線と、

前記第 2 電極に第 1 電位を供給することにより情報を読み出す回路と、

を具備し、温度の上昇に伴って前記第 1 電位が供給される時間が下降することを特徴と

する半導体集積回路装置。

【請求項 1 0】

第 1 電極と第 2 電極とを有する記憶素子としての強誘電体キャパシタを有するメモリセルを含んだメモリセルアレイと、

前記第 1 電極と電氣的に接続された第 1 ビット線と、

前記第 1 ビット線と相補な第 2 ビット線と、

前記第 2 電極に第 1 電位を供給することにより情報を読み出す回路と、

前記第 1 ビット線と前記第 2 ビット線との間の電位差を増幅するセンスアンプと、

前記センスアンプの電源電位として第 2 電位を供給する回路と、

を具備し、前記第 1 電位がローレベルになった後から前記第 2 電位が供給される時間が、温度の上昇に伴って下降することを特徴とする半導体集積回路装置。

【請求項 1 1】

前記時間の温度依存性は前記強誘電体キャパシタが分極反転する時間の温度依存性に等しいことを特徴とする請求項 9 または 1 0 に記載の半導体集積回路装置。

【書類名】明細書

【発明の名称】半導体集積回路装置

【技術分野】

【0001】

本発明は、半導体集積回路装置に関し、例えば、強誘電体キャパシタを用いた半導体記憶装置の電位発生回路に関する。

【背景技術】

【0002】

強誘電体キャパシタは、印加電圧と分極量とがヒステリシス特性を持ち、さらに印加電圧がゼロの時の残留分極を有する特徴を有する。この特徴を利用した強誘電体メモリ (Ferroelectric Random Access Memory, FeRAM) が知られている。データの書き込み、およびデータの読み出しは、プレート線とビット線との間に発生させた電圧を強誘電体キャパシタに印加することにより行われる。ビット線に読み出されたデータは、センスアンプにより増幅される。

【0003】

強誘電体キャパシタは、温度によって幾つかの特性が変化し、その1つとして、ヒステリシス特性が該当する。図33は、低温時のヒステリシス特性を示しており、図34は高温時のヒステリシス特性を示している。図33、図34に示すように、低温時は残留分極量および分極量の飽和に要する電圧(飽和電圧) V_{TL} が大きくなった結果、ヒステリシスが大きくなり、高温時は残留分極量および飽和電圧 V_{TH} が小さくなった結果、ヒステリシスが小さくなる。

【0004】

一方、従来、プレート線に印加される電位は、温度によらず一定値である。このため、温度によらずに、データの正常な書き込みおよび読み出しを保証するためには、低温時のプレート線駆動電位を用いることが必要となる。この結果、高温時は、高温時の飽和電圧 V_{TH} 以上の電圧 V_A が強誘電体キャパシタに印加される。この過剰な電圧は、書き込まれる分極量の増大に全く寄与せず無駄であることに加え、ヒステリシス特性のインプリント(ヒステリシスのシフト)や強誘電体膜のファティーグ(疲労)等を引き起こす。このことは、強誘電体メモリの信頼性を悪化させる原因となる。

【0005】

また、強誘電体キャパシタの特性の温度による変化の1つとして、分極反転に要する時間(分極反転時間)が該当する。図35、図36、図37は、 70°C 、 25°C 、 -25°C における分極反転時間をそれぞれ示している。各図中の複数の曲線は、印加電圧の違いを示している。図35～図37に示すように、高温では分極量が分極反転後に飽和するまでに要する時間は短い、低温ではその時間は長い。なお、図35～図37は、 SbTiO_5 (S r B i₂ T a₂ O₉)膜について示しているが、 PZT (P b (Z r, T i) O₃)膜に関しても同様である。

【0006】

一方、従来、プレート線が駆動される時間およびセンスアンプが活性化される時間は、温度によらず一定値である。図38は、従来の強誘電体メモリの主要ノードのタイミングチャートを示している。図38に示すように、プレート線の駆動 t_{31} ～センス増幅 t_{32} 、およびプレート線駆動電位の V_{SS} への下降 t_{33} ～センスアンプ非活性化 t_{34} では、“1”データの分極反転を伴うデータの読み出し、および書き込みがそれぞれ行われる。温度によらずに、上記一連の正常な動作を保証するには、低温時の分極反転時間を採用することが必要となる。この結果、高温時では、高温時の分極反転時間以上に亘って電圧が印加され続ける。このことは、インプリントおよびファティーグを引き起こし、強誘電体メモリの信頼性を悪化させる。

【0007】

この出願の発明に関連する先行技術文献情報としては次のものがある。

【特許文献1】特願2002-321563

【特許文献2】国際公開第W099/00798号パンフレット

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明は、上記事情に鑑みてなされたものであり、その目的とするところは、強誘電体キャパシタへの過剰な電圧の印加を防止することにより、高い信頼性を有する半導体集積回路装置を提供しようとするものである。

【課題を解決するための手段】

【0009】

本発明の第1の視点による半導体集積回路装置は、第1電極と第2電極とを有する記憶素子としての強誘電体キャパシタを有するメモリセルを含んだメモリセルアレイと、前記第1電極と電氣的に接続された第1ビット線と、前記第1ビット線と相補な第2ビット線と、前記第2電極に第1電位を供給することにより、温度の上昇に伴って第1変化率で下降する電圧を前記強誘電体キャパシタに印加する第1電位発生回路と、前記第1ビット線と前記第2ビット線との間の電位差を増幅する、センスアンプと、を具備することを特徴とする。

【0010】

本発明の第2の視点による半導体集積回路装置は、第1電極と第2電極とを有する記憶素子としての強誘電体キャパシタを有するメモリセルを含んだメモリセルアレイと、前記第1電極と電氣的に接続された第1ビット線と、前記第1ビット線と相補な第2ビット線と、前記第1ビット線と前記第2ビット線との間の電位差を増幅するセンスアンプと、前記センスアンプの電源電位として温度の上昇に伴って第2変化率で下降する電圧を供給する第2電位発生回路と、を具備することを特徴とする。

【0011】

本発明の第3の視点による半導体集積回路装置は、第1電極と第2電極とを有する記憶素子としての強誘電体キャパシタを有するメモリセルを含んだメモリセルアレイと、前記第1電極と電氣的に接続された第1ビット線と、前記第1ビット線と相補な第2ビット線と、前記第2電極に第1電位を供給することにより情報を読み出す回路と、を具備し、温度の上昇に伴って前記第1電位が供給される時間が下降することを特徴とする。

【0012】

本発明の第4の視点による半導体集積回路装置は、第1電極と第2電極とを有する記憶素子としての強誘電体キャパシタを有するメモリセルを含んだメモリセルアレイと、前記第1電極と電氣的に接続された第1ビット線と、前記第1ビット線と相補な第2ビット線と、前記第2電極に第1電位を供給することにより情報を読み出す回路と、前記第1ビット線と前記第2ビット線との間の電位差を増幅するセンスアンプと、前記センスアンプの電源電位として第2電位を供給する回路と、を具備し、前記第1電位がローレベルになった後から前記第2電位が供給される時間が、温度の上昇に伴って下降することを特徴とする。

【発明の効果】

【0013】

本発明によれば、強誘電体キャパシタへの過剰な電圧の印加を防止することにより、高い信頼性を有する半導体集積回路装置を提供できる。

【発明を実施するための最良の形態】

【0014】

以下に本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

【0015】

本発明の各実施形態は、強誘電体メモリの電位発生回路、センスアンプ等の周辺回路に関わる。したがって、メモリセルアレイの構成に関わらず、いかなる強誘電体メモリに適

用することができる。以下に、典型的な強誘電体メモリセルアレイの構成を例として含んだ実施形態について説明する。

【0016】

(第1実施形態)

図1は、強誘電体キャパシタの飽和電圧と温度との関係を示している。図1に示すように、温度の上昇に伴って飽和電圧が低下する。第1実施形態は、センスアンプ供給電位発生回路およびプレート線駆動電位発生回路が発生する電位が、図1と同様の温度特性を有することを特徴とする。

【0017】

図2は、本発明の第1実施形態に係る半導体集積回路装置の主要部の構成を示す図である。代表的な例として、メモリセルアレイMCA内の各メモリセルが1つのトランジスタと1つの強誘電体キャパシタから構成される例が示されている。図1に示すように、プレート線駆動電位発生回路1は、プレート線駆動電位をプレート線PL0、PL1に供給する。プレート線駆動電位は、図3に示すように、強誘電体キャパシタの飽和電圧の温度特性と同様の温度特性に従った値とされる。

【0018】

メモリセルMC0は、直列接続された強誘電体キャパシタC0と、MOS (Metal Oxide Semiconductor) トランジスタからなるセルトランジスタTr0と、により構成される。メモリセルMC0の一端は、プレート線PL0と接続され、他端はビット線BLと接続される。セルトランジスタTr0のゲートは、ワード線WL0と接続される。メモリセルMC0と同様の構成を有するメモリセルMC1の一端は、プレート線PL1と接続され、他端はビット線/BLと接続される。強誘電体キャパシタC0の強誘電体膜は、SBT、PZT等、公知のいかなる材料を用いることが可能である。

【0019】

ビット線BL、/BL間には、これらの間の電位差を増幅するセンスアンプ2が設けられる。センスアンプ供給電位発生回路3は、センスアンプ供給電位をセンスアンプ2に供給する。センスアンプ2は、この供給電位を電源電位として動作する。図4に示すように、センスアンプ供給電位は、強誘電体キャパシタの飽和電圧の温度特性と同様の温度特性に従った値とされる。

【0020】

ビット線BL、/BLとの間には、センスアンプ参照電位供給スイッチ4が接続される。センスアンプ参照電位発生回路5は、温度に依存しない参照電位を発生する。センスアンプ参照電位供給スイッチ4は、この参照電位を選択的にビット線BL、/BLに供給する。

【0021】

データI/Oパッド(図示せぬ)と接続されたデータ転送用のDQ線DQ、/DQの間には、これらの間の電位差を増幅するDQ線センスアンプ6が接続される。DQ線DQ、/DQ間には、DQ線センスアンプ参照電位供給スイッチ7が接続される。DQ線センスアンプ参照電位発生回路8は、温度に依存しない参照電位を発生する。DQ線センスアンプ参照電位供給スイッチ7は、この参照電位を選択的にDQ線DQ、/DQに供給する。

【0022】

図5は、第1実施形態に係る半導体集積回路装置の主要部の他の構成を示す図である。この例では、メモリセルアレイMCAのみを示しており、他の部分は図1と同様である。図2に示すように、メモリセルMC0は、並列に接続された強誘電体キャパシタC0とセルトランジスタTr0とから構成される。このメモリセルMC0が複数個(図2では8個を例示)接続されたメモリセル群の一端がプレート線PL0と接続され、他端はブロック選択トランジスタSTr0を介してビット線BLと接続される。各メモリセルMC0のセルトランジスタTr0のゲートには、ワード線WL0~WL7が接続される。ブロック選択トランジスタSTr0のゲートには、ブロック選択信号BS0が供給される。

【0023】

同様に、並列接続された強誘電体キャパシタC1とセルトランジスタTr1とからなるメモリセルMC1が複数個直列に接続される。複数のメモリセルMC1からなるメモリセル群の一端は、プレート線PL1と接続され、他端はブロック選択トランジスタSTr1を介してビット線/BLと接続される。各メモリセルMC1のセルトランジスタTr1のゲートには、ワード線WL0~WL7が接続される。ブロック選択トランジスタSTr1のゲートには、ブロック選択信号BS1が供給される。

【0024】

次に、図2および図5のプレート線駆動電位発生回路1、センスアンプ供給電位発生回路3、センスアンプ参照電位発生回路5、DQ線センスアンプ参照電位発生回路8について、図6~図9を用いて以下に説明する。

【0025】

図6は、プレート線駆動電位発生回路1、センスアンプ供給電位発生回路3、センスアンプ参照電位発生回路5、DQ線センスアンプ参照電位発生回路8に用いることができる電位発生回路11を示す回路図である。図6に示すように、基準電位を発生する基準電位発生回路21が発生する電位Vout1~Vout4は、オペアンプOPの反転入力端に供給される。後述するように、基準電位発生回路21の出力電圧Vout1~Vout4に温度依存性を持たせたり、温度によらず一定としたりすることにより、電位発生回路11の出力電位Voutの温度特性が調整される。

【0026】

オペアンプOPの出力端は、P型MOSトランジスタQP1のゲートに接続される。トランジスタQP1のソースは電源電位線に接続され、ドレインは出力電位Voutを出力する。出力電位Voutは、抵抗素子R1により分圧され、オペアンプOPの非反転入力端に供給される。抵抗素子Rによる分圧を適宜調整することにより、所望の値の出力電位Voutを得られる。

【0027】

図7は、プレート線駆動電位発生回路1、センスアンプ供給電位発生回路3、センスアンプ参照電位発生回路5、DQ線センスアンプ参照電位発生回路8に用いることができる電位発生回路12を示す回路図である。図7に示すように、トランジスタQP1のドレインは、N型MOSトランジスタQN1のドレインおよびゲートに接続される。トランジスタQN1のソースの電位は、抵抗素子R2により分圧され、オペアンプOPの非反転入力端に供給される。P型MOSトランジスタQP2のソースは、電源電位線と接続され、ドレインはN型MOSトランジスタQN2のドレインに接続される。トランジスタQN2のゲートはトランジスタQN1のドレインと接続され、ソースは出力電位Voutを出力する。出力電位Voutは、図6の回路と同様に、抵抗素子Rによる分圧を適宜調整することにより、所望の値に設定される。

【0028】

次に、基準電位発生回路21について、図8、図9を用いて説明する。図8は、図6、図7の電位発生回路に適用可能な基準電位発生回路21を示す回路図である。図8の回路は、ダイオードを用いたBGR（バンドギャップリファレンス）回路と呼ばれる。図8に示すように、オペアンプOP1の反転入力端は、ダイオードD11のアノードに接続される。ダイオードD11のカソードは接地される。反転入力端は、また、抵抗R11を介してオペアンプOP1の出力端と接続される。オペアンプOP2の非反転入力端は、抵抗R12を介してダイオードD12のアノードに接続される。ダイオードD12のカソードは接地される。反転入力端は、また、抵抗R13を介してオペアンプOP1の出力端と接続される。

【0029】

次に、図8の基準電位発生回路21を用いて、温度に依存しない基準電位を発生させる方法について説明する。図8において、ダイオードD11、ダイオードD12の面積をそれぞれArea1、Area2とする。ダイオードD11、D12をそれぞれ流れる電流I11、I12は

$$I_{11} = I_s \cdot \exp \{ q \cdot V_{BE11} / (k \cdot T) \} \quad \cdots (1)$$

$$I_{12} = I_s \cdot \exp \{ q \cdot V_{BE12} / (k \cdot T) \} \quad \cdots (2)$$

(1)、(2)より、

$$\ln (I_{11}/I_{12}) = \ln (A_{rea11}/A_{rea12}) = \{ q / (k \cdot T) \} \cdot (V_{BE11} - V_{BE12}) \quad \cdots (3)$$

図 8 より、

$$V_{out1} - V_{BE11} = I_{11} \cdot R_{11} \quad \cdots (4)$$

$$V_{out1} - V_{BE12} = I_{12} \cdot (R_{12} + R_{13}) \quad \cdots (5)$$

また、 $V_{1-} = V_{1+}$ であることより、

$$R_{11} \cdot I_{11} = R_{13} \cdot I_{12} \quad \cdots (6)$$

(4)、(6)より、

$$V_{out1} - V_{BE11} = I_{12} \cdot R_{13} \quad \cdots (7)$$

$$I_{12} = (V_{out1} - V_{BE11}) / R_{13} \quad \cdots (8)$$

(5)より、

$$I_{12} = (V_{out1} - V_{BE12}) / (R_{12} + R_{13}) \quad \cdots (9)$$

(8)、(9)より、

$$V_{out1} = (R_{12} + R_{13}) / R_{12} \cdot V_{BE11} - (R_{13}/R_{12}) \cdot V_{BE12} \quad \cdots (10)$$

$$= (1 + R_{13}/R_{12}) \cdot V_{BE11} - (R_{13}/R_{12}) \cdot V_{BE12} \quad \cdots (11)$$

(11)、(3)より、

$$V_{out1} = V_{BE11} + (R_{13}/R_{12}) \cdot (k \cdot T/q) \cdot \ln (I_{11}/I_{12}) \quad \cdots (12)$$

ここで V_{BE11} はほぼ -2 [mV/度] の温度特性を有する。したがって、出力電位 V_{out1} が温度に依存しないための条件は、(12)の右辺の V_{BE11} 以外の項により、 V_{BE11} の温度特性が打ち消されれば良いので、

$$(R_{13}/R_{12}) \cdot (k/q) \cdot \ln (I_{11}/I_{12}) = +2/1000 \quad \cdots (13)$$

ここで、 k および q の値は、以下に示す定数であり、

$$k = 1.38 \cdot 10^{-23} \quad [J/K] \quad \cdots (14)$$

$$q = 1.602 \cdot 10^{-19} \quad [C] \quad \cdots (15)$$

よって、

$$(R_{13}/R_{12}) \cdot \ln (I_{11}/I_{12}) = (R_{13}/R_{12}) \cdot \ln (A_{rea11}/A_{rea12}) = +23.2 \quad \cdots (16)$$

R_{13} は、(6)より、

$$R_{13} = (I_{11}/I_{12}) \cdot R_{11} = (A_{rea11}/A_{rea12}) \cdot R_{11} \quad [\Omega] \quad \cdots (17)$$

また、 R_{12} は、(16)より、

$$R_{12} = R_{13} \cdot \ln (A_{rea11}/A_{rea12}) / 23.2 \quad [\Omega] \quad \cdots (18)$$

このようにして得られた式(17)により、ダイオード D_{11} 、 D_{12} の面積と R_{11} を用いて R_{13} が決定される。ここで、 R_{11} は、回路に許容される消費電流によって決定される。続いて、式(18)に従って、 R_{12} が決定される。

【0030】

次に、図 9 の基準電位発生回路 21 を用いて、温度に依存する基準電位の発生方法、および基準電位を強誘電体キャパシタの温度特性に応じて設定する方法について説明する。図 9 の回路構成は、図 8 の回路構成と同じであり、図 9 の各部の参照符号として、図 8 の各参照符号の添え字の一部を 2 としたもの、および十の位を 2 としたものをを用いる。なお、以下、プレート線駆動電位に関して説明するが、センスアンプ供給電位に関しても全く同様の手法により設定することができる。

【0031】

図 3 のプレート線駆動電位 V_{p1} の温度特性が、 $-P_1$ [mV/度] であるとする、図 9 における V_{out2} が持つべき温度特性 $-X_1$ [mV/度] は $-X_1 = -P_1 \cdot (V_{out2}/V_{p1})$ [mV/度] $\cdots (19)$ となる。

【0032】

また、図 9 における V_{out2} が $-X_1$ [mV/度] の温度特性を持つためには、 $(R_{23}/R_{22}) \cdot (k/q) \cdot \ln (I_{21}/I_{22}) = (-X_1 + 2) / 1000 \quad \cdots (20)$

k および q の値を代入して、

$$\begin{aligned} (R23/R22) \cdot \ln(I21/I22) &= (R23/R22) \cdot \ln(\text{Area}21/\text{Area}22) \\ &= (-X1+2) \cdot 11.6 \quad \cdots(21) \end{aligned}$$

図 9 においても、(6) の関係が成り立つので、R 2 3 は、

$$R23 = (I21/I22) \cdot R21 = (\text{Area}21/\text{Area}22) \cdot R21 \quad \cdots(22)$$

また、R 2 2 は、(21) より、

$$R22 = R23 \cdot \ln(\text{Area}21/\text{Area}22) / \{(-X1+2) \cdot 11.6\} \quad \cdots(23)$$

このようにして得られた式(22)により、ダイオード D 2 1、D 2 2 の面積と R 2 1 を用いて R 2 3 が決定される。ここで、R 2 1 は、回路に許容される消費電流によって決定される。続いて、式(23)に従って、R 2 2 が決定される。

【0033】

次に、第 1 実施形態により得られる効果について図 10、図 11 を用いて説明する。図 10 は、第 1 実施形態に係る半導体集積回路装置によって、低温時に強誘電体キャパシタに電圧 V A (= V P L - V B L) を印加した状態を示している。図 11 は、高温時に強誘電体キャパシタに電圧 V A を印加した状態を示している。図 10、図 11 に示すように、強誘電体キャパシタに印加される電圧 V A は、温度に応じて常に飽和電圧に設定される。したがって、高温時に、低温時の飽和電圧が印加されることを回避できる。

【0034】

本発明の第 1 実施形態に係る半導体集積回路装置によれば、プレート線駆動電位発生回路 1 およびセンスアンプ供給電位発生回路 3 は、強誘電体膜の飽和電圧の温度特性と同じ変化率に従って温度の上昇とともに低下する電位を発生する。このため、温度が変化しても、強誘電体キャパシタ C 0 (C 1) に印加される電圧は、その温度における飽和電圧と一致する。よって、飽和電圧以上の電圧が強誘電体キャパシタ C 0 に印加されることを回避できるため、ヒステリシス特性のインプリントおよび強誘電体膜のファティグの発生を防止して、高信頼性の半導体集積回路装置を実現できる。

【0035】

なお、図 2 および図 5 に図示していない他のロウアドレスバッファ等の周辺回路には、センスアンプ参照電位、D Q 線センスアンプ参照電位と同様に、温度に依存しない一定の電位が供給される。

【0036】

(第 2 実施形態)

第 2 実施形態は、第 1 実施形態の特徴に加え、センスアンプ参照電位も温度依存性を有する。第 2 実施形態の説明に先立ち、“0” および “1” データ読み出し時の信号電位の分布と参照電位との関係について簡単に説明する。

【0037】

“0” 読み出し時の信号電位の分布のピークと “1” 読み出し時の信号電位の分布のピークとの中間点は温度によらず一定であるため、従来、この中間点をセンスアンプの参照電位として用いていた。しかしながら、図 12 に示すように、読み出し信号電位の分布形状は、低温時の “1” 読み出しにおいて、裾を引く形状を有していることが見出された。このため、低温時、“0” 読み出しの最大の信号電位 A 1 と、“1” 読み出しの最小の電位 B 1 との中間点が、ピーク間の中間点からずれる。したがって、ピーク間の中間点の電位を参照電位とすると、低温時のセンスの際のマージンが減少する。

【0038】

図 13 は、“0” 読み出し時の最大電位と、“1” 読み出し時の最小電位と、の間 (シグナルウィンドウ) の中間点と温度との関係を示している。図 13 に示すように、シグナルウィンドウの中間点は、温度の上昇に伴って上昇する。そこで、この中間点を参照電位とすることにより、温度によらずにシグナルマージンを確保する技術が提案されており、詳しくは、特願 2002-321563 に記載されている。第 2 実施形態では、この技術が用いられる。

【0039】

図14は、本発明の第2実施形態に係る半導体集積回路装置の主要部の構成を示す図である。図14に示すように、図2の温度に依存しない電位を供給するセンスアンプ参照電位発生回路5に代え、温度に依存した電位を供給するセンスアンプ参照電位発生回路31が設けられる。その他の構成は、第1実施形態と同じである。図15に示すように、センスアンプ参照電位は、シグナルウィンドウの温度特性と同様の温度特性に従った値とされる。

【0040】

次に、図6の電位発生回路11または図7の電位発生回路12を用いて、センスアンプの参照電位を、シグナルウィンドウの中間点に常に位置するように、温度に依存させる方法について、以下に説明する。すなわち、第1実施形態と同様に、電位発生回路11または12と、図16の基準電位発生回路21とを用いて、温度に依存するセンスアンプ参照電位が生成される。なお、図16の回路構成は図8の回路構成と同じであり、図16の各部の参照符号として、図8の各参照符号の添え字の一部を3としたもの、および十の位を3としたものを用いる。

【0041】

図15のセンスアンプの参照電位 V_{ref} の温度特性が、 $+Q$ [mV/度] であるとする、図16における V_{out3} が持つべき温度特性 $+Y$ [mV/度] は、

$$+Y = +Q \cdot (V_{out3}/V_{ref}) \quad [\text{mV/度}] \quad \dots(24)$$

となる。

【0042】

また、図16における V_{out3} が $+Y$ [mV/度] の温度特性を持つためには、
 $(R33/R32) \cdot (k/q) \cdot \ln(I31/I32) = (+Y+2)/1000 \quad \dots(25)$

k および q の値を代入して

$$\begin{aligned} (R33/R32) \cdot \ln(I31/I32) &= (R33/R32) \cdot \ln(\text{Area}31/\text{Area}32) \\ &= (+Y+2) \cdot 11.6 \quad \dots(26) \end{aligned}$$

(6) と同様の関係を用いて、 $R33$ は、

$$R33 = (I31/I32) \cdot R31 = (\text{Area}31/\text{Area}32) \cdot R31 \quad \dots(27)$$

また、 $R32$ は、(27) より、

$$R32 = R33 \cdot \ln(\text{Area}31/\text{Area}32) / \{ (+Y+2) \cdot 11.6 \} \quad \dots(28)$$

このようにして得られた式(27)により、ダイオード $D31$ 、 $D32$ の面積と $R31$ を用いて $R32$ が決定される。ここで、 $R31$ は、回路に許容される消費電流によって決定される。続いて、式(28)に従って、 $R32$ が決定される。

【0043】

本発明の第2実施形態に係る半導体装置によれば、第1実施形態と同じ効果を得られる。さらに、第2実施形態によれば、センスアンプ3の参照電位発生回路5は、温度の上昇に従って上昇する電位を発生する。このため、温度が変化しても、参照電位は、常にシグナルウィンドウの中間点に位置するため、温度に応じて読み出し電位と参照電位との間のマージンが変化することを回避できる。したがって、読み出し誤差の少ない半導体集積回路装置を実現できる。

【0044】

(第3実施形態)

第3実施形態では、第1実施形態の特徴に加え、プレート線駆動電位が第1実施形態より大きい温度依存性を有する。

【0045】

第2実施形態において記載したように、シグナルウィンドウの中間点は、温度により変化する。この問題に対し、プレート線駆動電位に温度依存性を持たせることにより、温度によらず、シグナルウィンドウの中間点を一定とすることができる。図17は、第3実施形態における、高温および低温時の“0”信号電位の分布および“1”信号電位の分布を示す図である。図17に示すように、温度の上昇に従ってプレート線駆動電位を減少させることにより、高温時の信号電位分布が、図12のそれより右方向に移動する。この結果

、シグナルウィンドウの中間点が、高温、低温時において一致する。したがって、この中間点をセンスアンプの参照電位とすることにより、温度によらずに一定のシグナルマージンを確保できる。第3実施形態では、この技術が用いられる。詳しくは、特願2002-321563に記載されている。

【0046】

第3実施形態では、以上の趣旨により、第1実施形態と構成はほぼ同じである。異なるのは、プレート線駆動電位の温度特性である。すなわち、図18に示すように、プレート線駆動電位の温度特性の傾きが、飽和電圧以上の電圧が強誘電体キャパシタに印加されることを回避し、且つシグナルウィンドウの中間点を常に一定とするように、設定される。具体的な構成としては、プレート線駆動電位がこのような温度特性を有するように、プレート線駆動電位発生回路1内の基準電位発生回路21が、図19に示すVout4を有する。なお、図19の回路構成は、図8の回路構成と同じであり、図19の各部の参照符号として、図8の各参照符号の添え字の一部を4としたもの、および十の位を4としたものを用いる。

【0047】

図18のプレート線駆動電位Vp1の温度特性が、 $-P2$ [mV/度] であるとする、図19におけるVout4が持つべき温度特性 $-X2$ [mV/度] は $-X2 = -P2 \cdot (Vout4/Vp1)$ [mV/度] …(29)となる。

【0048】

ここで、 $|-P2| > |-P1|$ …(30)
 $|-X2| > |-X1|$ …(31)
 である。

【0049】

また、図19におけるVout4が $-X2$ [mV/度] の温度特性を持つためには、 $(R43/R42) \cdot (k/q) \cdot \ln(I41/I42) = (-X2+2)/1000$ …(32)

以下、図6における式の展開と同様にして、

$$R43 = (I41/I42) \cdot R41 = (Area41/Area42) \cdot R41 \quad \dots(33)$$

$$R42 = R43 \cdot \ln(Area41/Area42) / \{(-X2+2) \cdot 11.6\} \quad \dots(34)$$

このようにして得られた式(33)、(34)により、R42、R43が決定される。

【0050】

本発明の第3実施形態に係る半導体装置によれば、第1実施形態と同じ効果を得られる。さらに、第3実施形態によれば、プレート線駆動電位発生回路1は、飽和電圧以上の電圧が強誘電体キャパシタに印加されることを回避し、且つシグナルウィンドウの中間点を常に一定とするように、設定される温度特性を有するプレート線駆動電位を発生する。このため、温度が変化しても、参照電位は、常にシグナルウィンドウの中間点に位置するため、温度に応じて読み出し電位と参照電位との間のマージンが変化することを回避できる。したがって、読み出し誤差の少ない半導体集積回路装置を実現できる。

【0051】

(第4実施形態)

第4実施形態は、強誘電体キャパシタに電圧を印加する時間に関する。図20は、本発明の第4実施形態に係る半導体装置の主要部の構成を示す図である。図20の各部の接続関係は、第1実施形態(図2)のそれと同じである。図20において、図1と異なるのは、各電位発生回路が、温度依存性を持たないこと、プレート線駆動電位発生回路41とセンスアンプ42との間に遅延回路49が設けられていることである。

【0052】

プレート線駆動電位発生回路41は、プレート線PL0、PL1を駆動すると同時に、その旨の制御信号S1を遅延回路49に供給する。遅延回路49は、温度の上昇に応じて減少する遅延時間の経過後に、センスアンプ49を活性する旨の制御信号S2をセンスア

ンプ42に供給する。この結果、センスアンプ42はセンス増幅動作を行う。

【0053】

同様に、プレート線駆動電位発生回路41は、プレート線の駆動を終了した際に、その旨の制御信号S1を遅延回路49に供給する。遅延回路49は、所定の遅延時間の経過後に、センスアンプを非活性化する旨の制御信号S2をセンスアンプに供給する。この結果、センスアンプ42は、非活性状態へ移行する。

【0054】

図21は、本発明の第4実施形態における、低温時の主要ノードの電位のタイミングチャートである。スタンバイ状態時に、メモリセルからのデータの読み出しに際し、ビット線BLおよび／BLをイコライズするイコライズトランジスタ（図示せぬ）のゲートがローレベルとされる。次に、時刻t1において、情報が読み出されるセルと接続されたプレート線PL（PL0、PL1等）がハイレベルへと駆動されることにより、メモリセルおよび参照セルの強誘電体キャパシタの両端に読み出し電圧が印加される。この結果、メモリセルおよび参照セルから読み出されたデータが、ビット線BL、／BLに読み出される。次に、時刻t1から図20の遅延回路49により規定される遅延時間の経過後の時刻t2に、制御信号S2に応じて、センスアンプS/Aが活性化される。この結果、ビット線BL、／BL間の電位差が増幅される。

【0055】

次に、時刻t3にプレート線PLがローレベルとされる。時刻t2から時刻t3の間（“0”再書き込み時間）は、メモリセルおよび参照セルの強誘電体キャパシタの両端に“0”再書き込み電圧が印加される。したがって、メモリセルおよび参照セルの読み出しデータが“0”であった場合、そのメモリセルおよび参照セルに“0”データが再書き込みされる。

【0056】

次に、時刻t3から遅延回路49により規定される遅延時間の経過後の時刻t4に、センスアンプS/Aが非活性化される。時刻t3から時刻t4までの間（“1”再書き込み時間）は、メモリセルおよび参照セルの強誘電体キャパシタの両端に“1”再書き込み電圧が印加される。したがって、メモリセルおよび参照セルの読み出しデータが“1”であった場合、そのメモリセルおよび参照セルに“1”データが再書き込みされる。“1”再書き込み時間は、各温度において、分極量が飽和するまでの時間に設定される。この後、時刻t5において、イコライズトランジスタのゲートがハイレベルとされることにより、スタンバイ状態に移行する。

【0057】

図22は、本発明の第4実施形態における、高温時の主要ノードの電位のタイミングチャートである。各動作に関しては図21と同じであるが、動作のタイミングは異なる。図22に示すように、温度の上昇に伴って遅延回路49が規定する遅延時間が減少するため、時刻t1と時刻t2との間の時間（読み出し時間）が、低温時のそれより短い。また、遅延時間の減少により、“1”再書き込み時間は、低温時のそれより短い。なお、“0”再書き込み時間に関しては、従来と同様に、温度依存性を有さず、一定である。

【0058】

次に、上記動作を実現するための遅延回路49の一例について、図23～図28を用いて以下に説明する。

【0059】

図23は、遅延回路49の一部を示す回路図である。図20の制御信号S1に対応する入力信号INは、PMOSトランジスタQP1とNMOSトランジスタQN1とから構成されるインバータに供給される。トランジスタQP1、QN1間には、直列接続された抵抗素子R51～R54が接続される。抵抗素子R51～R53には、それぞれ並列にNMOSトランジスタQN21～QN23が接続される。トランジスタQN21～QN23には、後述するVout11～Vout13が供給される。

【0060】

トランジスタ QP11 のドレインは、キャパシタ C11 を介して接地されるとともに、トランジスタ QP11、QN11、QN21～QN23、抵抗 R51～R54 からなる 1 段目の回路と同じ構成の 2 段目の回路のトランジスタ QP11、QN11 のゲートに接続される。2 段目の回路の抵抗 R54 とトランジスタ QN11 との接続ノードは、キャパシタ C11 を介して電源電位線と接続されるとともに、1 段目と同じ構成の 3 段目の回路のトランジスタ QP11、QN11 のゲートに接続される。同様に 3 段目のトランジスタ QP11 のドレインは、キャパシタ C11 の一端および 4 段目の回路のトランジスタ QP11、QN11 のゲートに接続される。4 段目の回路の抵抗 R54 とトランジスタ QN11 との接続ノードから取り出された信号は、キャパシタ C11 の一端に供給されるとともに、遅延時間を設定するための所定数（例：2 個）のインバータ IV1、IV2 を介して出力信号 OUT とされる。

【0061】

図 24 は、遅延回路 49 内の一部を示す回路図であり、図 23 のトランジスタ QN21～QN23 の動作を制御する信号を発生する回路である。図 24 に示すように、温度に依存して上昇する電位 VBGR T が、オペアンプ OP11～OP13 の各非反転入力端子に供給される。オペアンプ OP11～OP13 の反転入力端子には、温度依存のない定電位 V1～V3 がそれぞれ供給される。ここで、各電位 V1～V3 の関係は、 $V1 < V2 < V3$ である。オペアンプ OP11～OP13 は、出力電位 VOUT11～VOUT13 をそれぞれ出力する。

【0062】

次に、図 23、図 24 の回路の動作について説明する。温度がまだ低い状態であり、電位 VBGR T が電位 V1 に達する前の状態では、VOUT11～VOUT13 は出力されておらず、図 24 のトランジスタ QN21～QN23 はオフである。したがって、抵抗素子 R51～R54 はバイパスされず、RC 遅延は最大となるため、入力信号 IN の入力から出力信号 OUT の出力までの遅延は最も長い。温度の上昇に伴い、電位 VBGR T が上昇し、Vout11、Vout12、Vout13 が順次累積して出力される。したがって、トランジスタ QN21、QN22、QN23 が順次累積してオンすることにより、RC 遅延が順次低下する。この結果、入力信号 IN の入力から出力信号 OUT の出力までの遅延が順次短くなる。

【0063】

図 25 は、電位 VBGR T と温度との関係を示している。強誘電体メモリが有すべきスペックの保証範囲を考慮の上、電位 VBGR T に図 25 に示すような温度特性を持たせて、図 23 の電位 V1～V3 を適切に設定される。この結果、図 23 のトランジスタ QN21～QN23 を上述したように順次オンさせる制御を行うことができる。

【0064】

第 1、第 2 実施形態と同様に BGR T 回路を用いて電位 VBGR T が生成される。具体的には、図 17 の Vout3 に図 25 に示す温度特性を持たせる。図 16 の Vout3 が $+X$ [mV/度] の温度特性を持つためには、式 (27)～式 (28) と同様にして、 $R33 = (I31/I32) \cdot R31 = (\text{Area}31/\text{Area}32) \cdot R31 \cdots (35)$
 $R32 = R33 \cdot \ln(\text{Area}31/\text{Area}32) / \{ (+X+2) \cdot 11.6 \} \cdots (36)$
 これらの式 (35)、(36) により、R31、R32 が決定される。

【0065】

温度に依存しない電位 V1～V3 も、第 1 実施形態と同様の方法により生成することができる。具体的には、例えば図 26 に示すように、図 6 と同じ回路が、発生させるべき電位の数に応じた数分、設けられる。各抵抗素子 R1a～R1c の値を変えることにより、温度に依存しない所望の値の電位 V1～V3 を発生できる。また、図 27 に示すように、図 7 と同じ回路を複数設け、抵抗値 R2a～R2c の値を変えることによっても、電位 V1～V3 を発生させることができる。

【0066】

図 28 は、図 23 の遅延回路の入力信号 IN と出力信号 OUT との間での遅延時間と温

度との関係を示している。図28中の破線は、強誘電体キャパシタの分極量が分極反転を伴って飽和するのに要する時間と温度との関係を示している。図28に示すように、遅延時間が各温度に応じて異なる値となっており、遅延時間の温度特性は、飽和時間の温度特性と近似している。温度が $T_1 \sim T_3$ へと上昇するに従って、 $V_{out11} \sim V_{out13}$ が順次、累積して出力される。図23～図27の回路において用いる電位の数を増やすことにより（本例では3）、図28の実線は、破線の特性に近づく。

【0067】

本発明の第4実施形態に係る半導体集積回路装置によれば、強誘電体メモリの動作において、強誘電体キャパシタの分極量が反転する動作を伴う制御の際に強誘電体キャパシタに電圧を印加する時間が、温度の上昇に伴って減少する。また、この時間は、各温度において、分極量が分極反転後に飽和するまでの時間に設定される。このため、飽和電圧に達した後にも不要な電圧が印加され続けることに起因する強誘電体キャパシタのファティーグおよびインプリントが発生することを回避できる。したがって、半導体集積回路装置の信頼性を向上することができる。

【0068】

（第5実施形態）

第5実施形態は、第4実施形態に付加して用いられ、“0”再書き込み時間も、温度に依存した長さを有する。

【0069】

飽和時間が温度によって変化するのは、一般に、強誘電体キャパシタが分極反転する際だけであると考えられている。しかしながら、分極反転を伴わない領域でも、強誘電体成分が一部含まれており、この領域でも飽和時間が温度に依存する。そこで、第5実施形態では、第4実施形態と同様の手法により、“0”再書き込み時間を温度に依存させる。

【0070】

図29は、本発明の第5実施形態に係る半導体集積回路装置の主要部の構成を示す図である。構成は、第4実施形態とほぼ同様である。異なるのは、センスアンプ42の活性化の旨を示す制御信号S4が遅延回路49に供給され、遅延回路49により温度に応じて遅延された制御信号S3がプレート線駆動電位発生回路41に供給されることである。プレート線駆動電位発生回路42は、制御信号S3が供給されると、プレート線駆動電位がローレベルとなるよう制御する。

【0071】

図30および図31は、それぞれ、本発明の第5実施形態における、高温および低温時の主要ノードの電位のタイミングチャートである。図30、図31に示すように、読み出し時および“1”再書き込み時間に加え、“0”再書き込み時間も、低温時は、短くなっている。読み出し時間を定義する、センスアンプS/Aの活性化からプレート線駆動電位PLのローレベルへの制御までの遅延時間は、温度に応じて変化する。また、読み出し時間は、各温度において、分極量が飽和するまでの時間に設定される。

【0072】

本発明の第5実施形態に係る半導体集積回路装置によれば、第4実施形態と同じ効果を得られる。さらに、分極反転を伴わない場合も、分極量が飽和するまでの時間が、温度の上昇に伴って短くなる。このため、強誘電体成分を含まないと考えられる領域でも、分極量の飽和後も強誘電体キャパシタに不要な電圧が印加され続けることに起因するファティーグおよびインプリントを回避できる。したがって、半導体集積回路装置の信頼性を向上できる。

【0073】

（第6実施形態）

第6実施形態は、第4、第5実施形態の変形例に関し、遅延回路49の他の例に関する。

【0074】

図32は、本発明の第6実施形態に係る半導体集積回路装置の一部を示す回路図である

。図32の回路は、図23の回路と置換して用いられる。図32に示すように、入力信号INは、直列接続されたPMOSトランジスタQP31、抵抗素子R61、NMOSトランジスタQN31から構成されたインバータに供給される。トランジスタQP31と抵抗素子R61との接続ノードには、PMOSトランジスタQP31、QP32、QP33のそれぞれの一端が接続される。トランジスタQP31、QP32、QP33のそれぞれの他端は、キャパシタC21、C22、C23をそれぞれ介して接地される。トランジスタQP31、QP32、QP33のそれぞれのゲートには、図24の電位Vout11、Vout12、Vout13が供給される。

【0075】

トランジスタQP21と抵抗素子R61との接続ノードは、トランジスタQP21、QN31、QP31～QN33、抵抗素子R61からなる1段目の回路と同じ構成の2段目の回路のトランジスタQP21、QN31のゲートに接続される。2段目の回路の抵抗素子R61とトランジスタQN31との接続ノードは、トランジスタQP31、QP32、QP33のそれぞれの一端と接続される。トランジスタQP31、QP32、QP33のそれぞれの他端は、キャパシタC21、C22、C23をそれぞれ介して電源電位線と接続される。2段目の回路の抵抗素子R61とトランジスタQN31との接続ノードから取り出された信号は、インバータIV1、IV2を介して出力信号OUTとされる。

【0076】

図31の回路において、図23の回路と同様に、トランジスタQP31、QP32、QP33が順次累積してオフすることにより、RC遅延が順次低下する。キャパシタC21～C23の容量値を適当に設定することにより、温度の上昇に伴い、遅延時間が低下する遅延回路を実現できる。

【0077】

本発明の第6実施形態に係る半導体集積回路装置に依れば、第4、第5実施形態と同じ効果を得られる。

【0078】

第1乃至第6実施形態に係る半導体集積回路装置は、種々のアプリケーションに用いることができる。具其他的には、単体メモリ、混載メモリ、ICカード等に適用することができる。アプリケーションの形態によって保証温度が異なるため、上記した低温、高温が示す温度およびその範囲は、アプリケーションにより異なる。汎用品のメモリでは、-40～85℃である。汎用品メモリであっても、室内での使用に限定するなら、0～70℃である。また、車載用の専用品なら-40～125℃である。

【0079】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

【図面の簡単な説明】

【0080】

【図1】 強誘電体キャパシタの飽和電圧と温度との関係を示す図。

【図2】 本発明の第1実施形態に係る半導体集積回路装置の主要部を示す図。

【図3】 第1実施形態におけるプレート線駆動電位と温度との関係を示す図。

【図4】 第1実施形態におけるセンスアンプ供給電位と温度との関係を示す図。

【図5】 第1実施形態に係る半導体集積回路装置の主要部を示す図。

【図6】 第1実施形態に係る電位発生回路の一例を示す図。

【図7】 第1実施形態に係る電位発生回路の一例を示す図。

【図8】 第1実施形態に係る基準電位発生回路を示す図。

【図9】 第1実施形態に係る基準電位発生回路を示す図。

【図10】 第1実施形態における低温時の飽和電圧および印加電圧を示す図。

【図11】 第1実施形態における高温時の飽和電圧および印加電圧を示す図。

【図12】 高温および低温時の“0”および“1”信号分布を示す図。

【図 13】 シグナルウィンドウの中間点と温度との関係を示す図。

【図 14】 本発明の第 2 実施形態に係る半導体集積回路装置の主要部の構成を示す図。

【図 15】 第 2 実施形態におけるセンスアンプ参照電位と温度との関係を示す図。

【図 16】 第 2 実施形態に係る基準電位発生回路を示す図。

【図 17】 第 3 実施形態における、高温および低温時の“0”および“1”信号分布を示す図。

【図 18】 第 3 実施形態におけるプレート線駆動電位と温度との関係を示す図。

【図 19】 第 4 実施形態に係る基準電位発生回路を示す図。

【図 20】 本発明の第 4 実施形態に係る半導体集積回路装置の主要部の構成を示す図。

【図 21】 第 4 実施形態における、低温時の主要ノードの電位を示す図。

【図 22】 第 4 実施形態における、高温時の主要ノードの電位を示す図。

【図 23】 第 4 実施形態に係る遅延回路の一部を示す図。

【図 24】 第 4 実施形態に係る遅延回路の一部を示す図。

【図 25】 オペアンプ入力電位と温度との関係を示す図。

【図 26】 第 4 実施形態に係る電位発生回路の一例を示す回路図。

【図 27】 第 4 実施形態に係る電位発生回路の一例を示す回路図。

【図 28】 第 4 実施形態に係る遅延回路の遅延時間と温度との関係を示す図。

【図 29】 本発明の第 5 実施形態に係る半導体集積回路装置の主要部の構成を示す図。

【図 30】 第 5 実施形態における、低温時の主要ノードの電位を示す図。

【図 31】 第 5 実施形態における、高温時の主要ノードの電位を示す図。

【図 32】 本発明の第 6 実施形態に係る遅延回路の一部を示す図。

【図 33】 低温時の強誘電体キャパシタのヒステリシス特性を示す図。

【図 34】 高温時の強誘電体キャパシタのヒステリシス特性を示す図。

【図 35】 温度 70℃における分極反転時間と温度との関係を示す図。

【図 36】 温度 25℃における分極反転時間と温度との関係を示す図。

【図 37】 温度 -25℃における分極反転時間と温度との関係を示す図。

【図 38】 従来の強誘電体メモリの主要ノードのタイミングチャート。

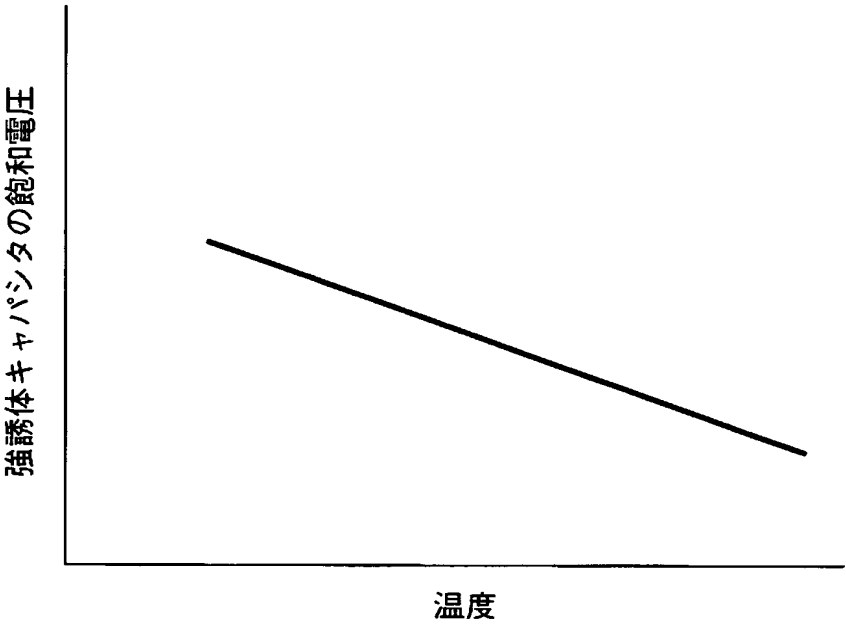
【符号の説明】

【0081】

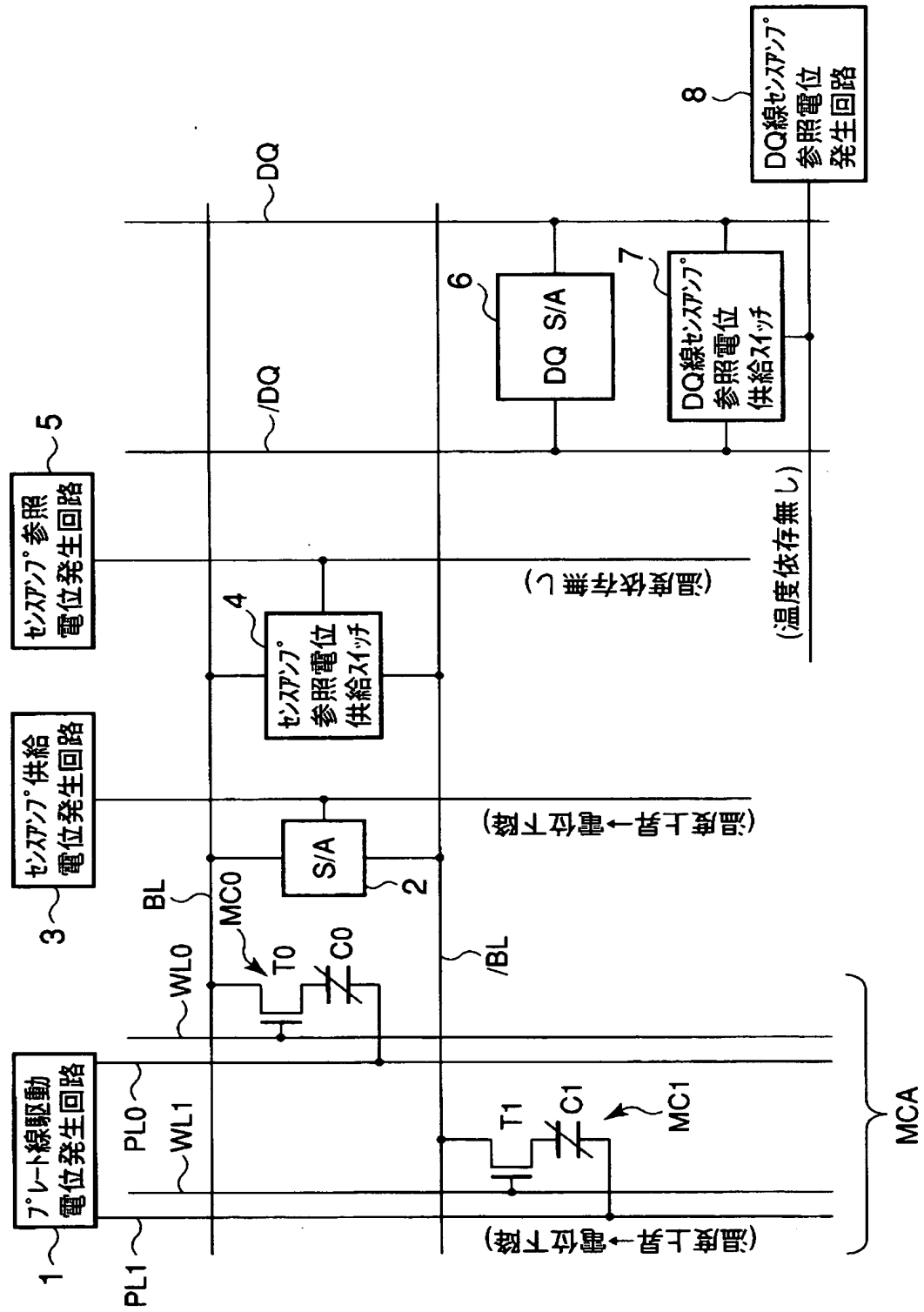
1、41…プレート線駆動電位発生回路、2、42…センスアンプ、3、43…センスアンプ供給電位発生回路、4、44…センスアンプ参照電位供給スイッチ、5、31、45…センスアンプ参照電位発生回路、6、46…DQ線センスアンプ、7、47…DQ線センスアンプ参照電位供給スイッチ、8、48…DQ線センスアンプ参照電位発生回路、11、12…電位発生回路、21…基準電位発生回路、MC0、MC1…メモリセル、C0、C1…強誘電体キャパシタ、Tr0、Tr1…セルトランジスタ、BL、/BL…ビット線、PL0、PL1…プレート線、WL0~WL7…ワード線、DQ、/DQ…DQ線、MCA…メモリセルアレイ、STr0、STr1…ブロック選択トランジスタ、BS0、BS1…ブロック選択信号、OP、OP1、OP2、OP11~OP13…オペアンプ、QP1、QP2、QP11、QP21、QP31~QP33、QN1、QN2、QN11、QN21~QN23、QN31…トランジスタ、Vout…電位発生回路出力電位、R1、R2、R11、R12、R13、R21、R22、R23、R31、R32、R33、R41、R42、R43、R51~R54、R61、R1a~R1c、R2a~R2c…抵抗素子、I11、I12、I21、I22、I31、I32、I41、I42…電流、D11、D12、D21、D22、D31、D32、D41、D42…ダイオード、Vout1、Vout2、Vout3、Vout4…基準電位発生回路出力電位、VBE11、VBE12、VBE21、VBE22、VBE31、VBE32、VBE41、VBE421…ダイオードアノード電位、V1+、V1-、V2+、V2-、V3+、V3-

ー、V 4 +、V 4 -…オペアンプ入力電位、I N…遅延回路入力電位、O U T…遅延回路出力信号、C 1 1、C 2 1 ~ C 2 3…キャパシタ、I V 1、I V 2…インバータ。

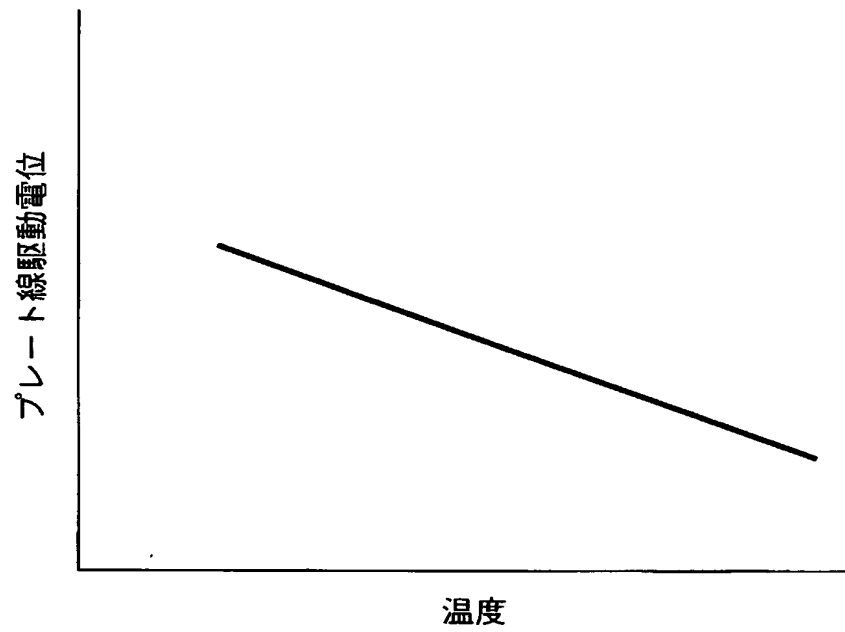
【書類名】 図面
【図 1】



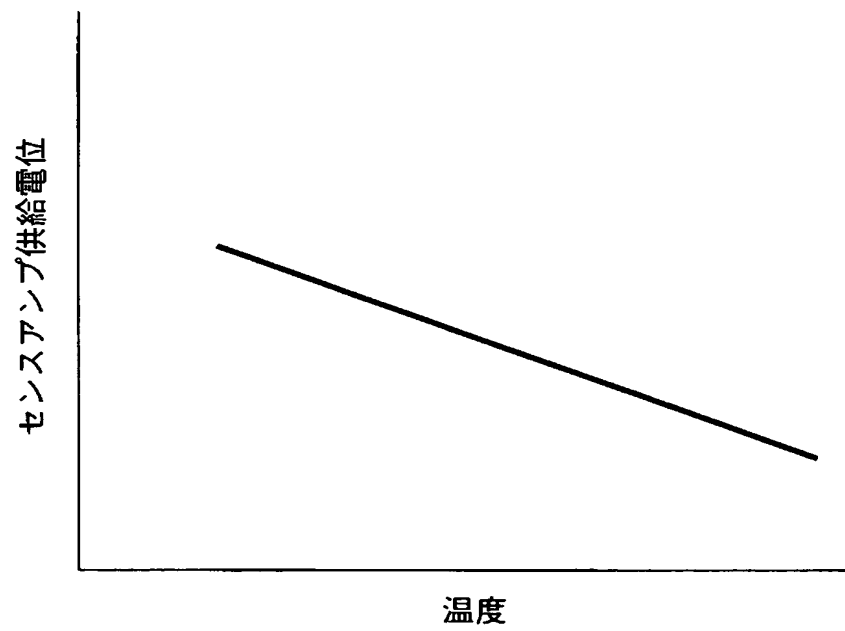
【図 2】



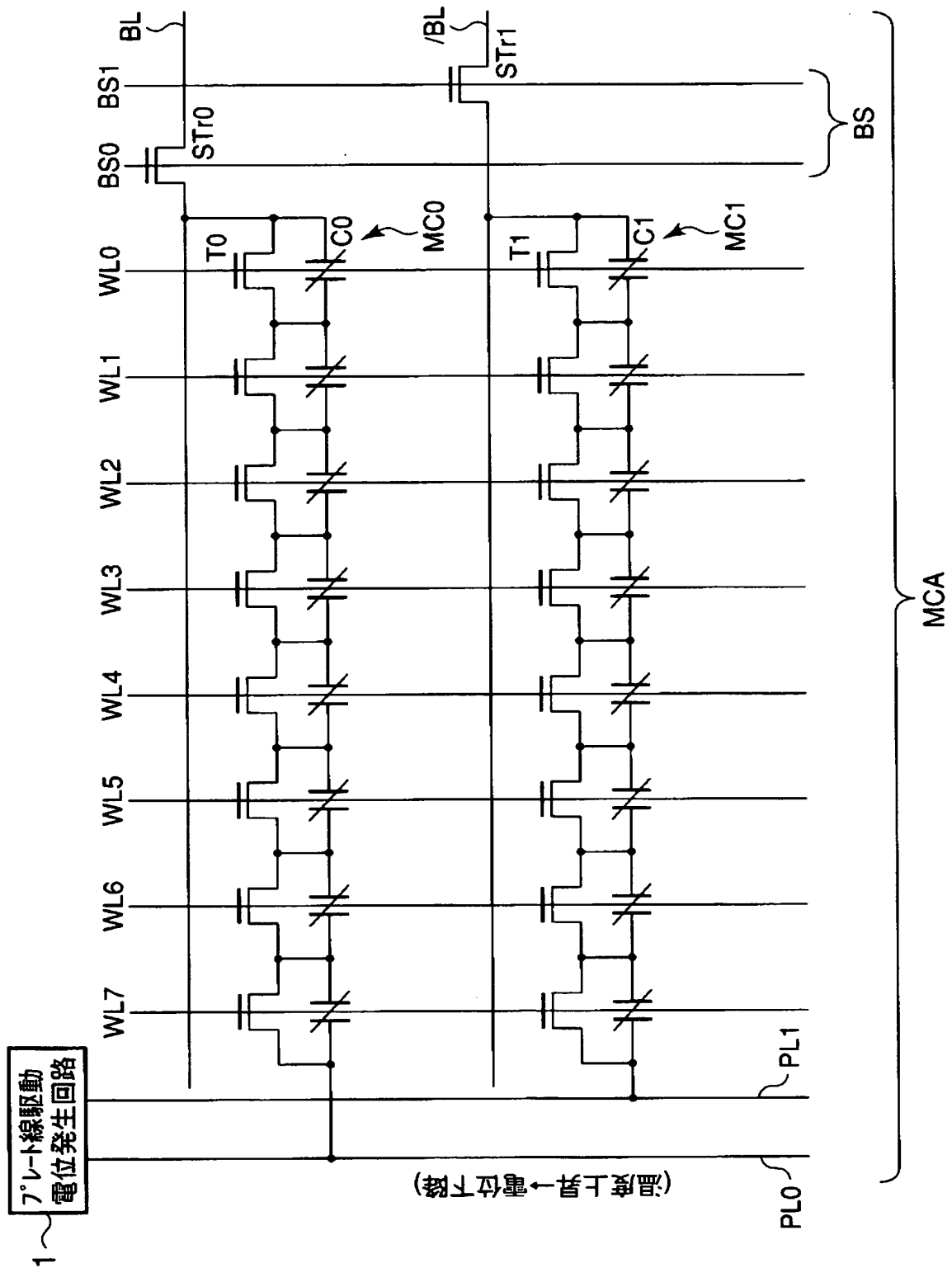
【図 3】



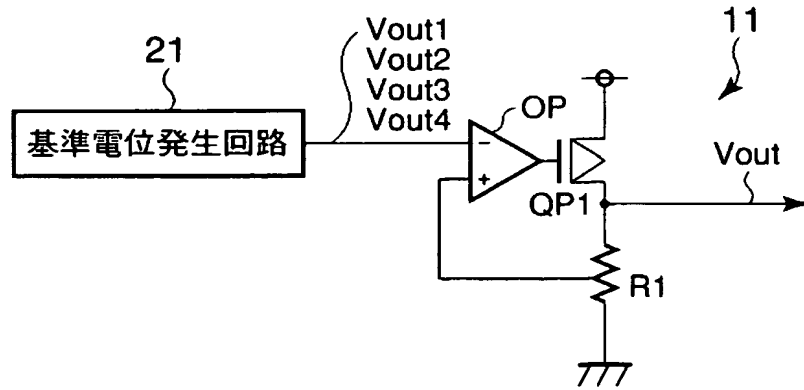
【図 4】



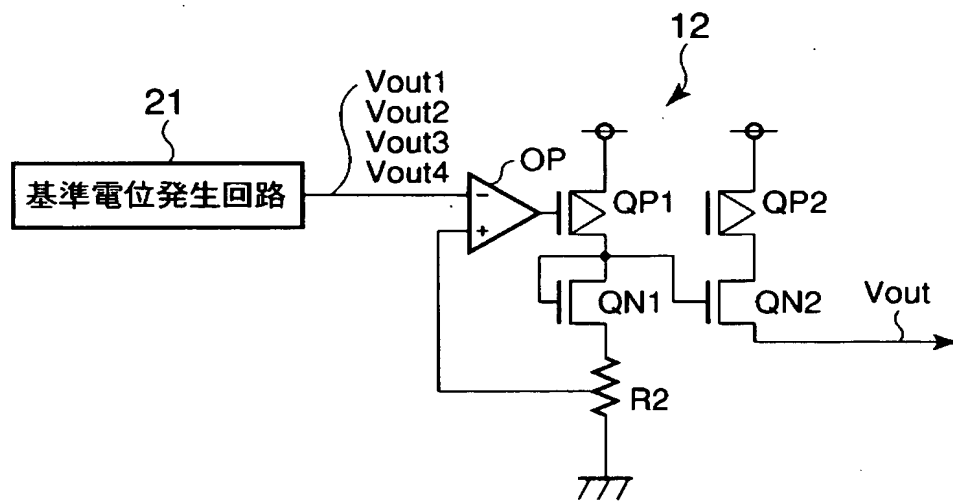
【図 5】



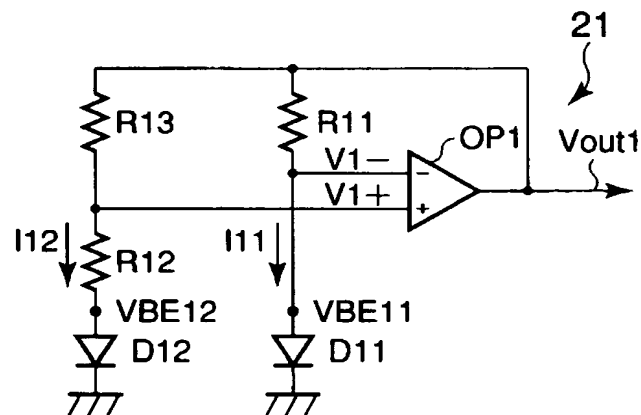
【図 6】



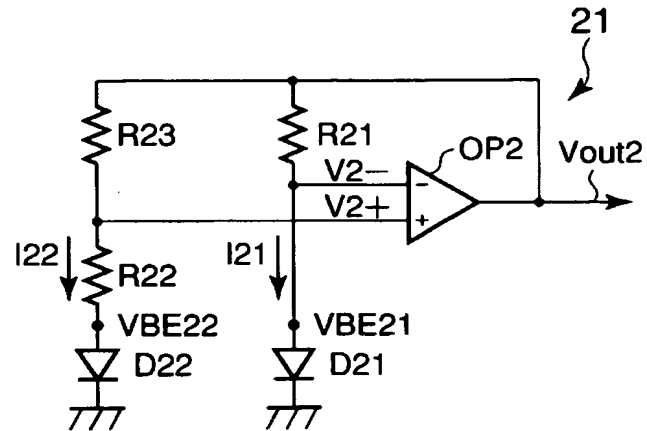
【図 7】



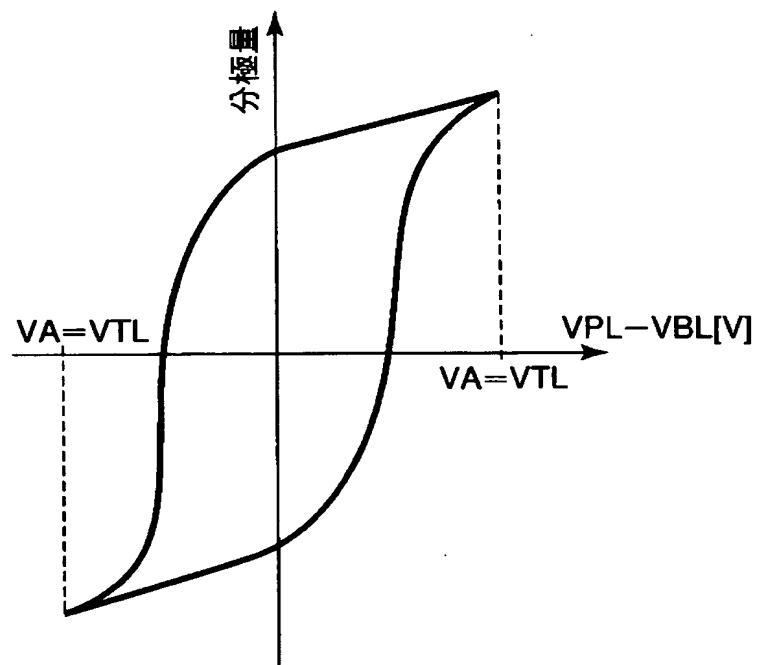
【図 8】



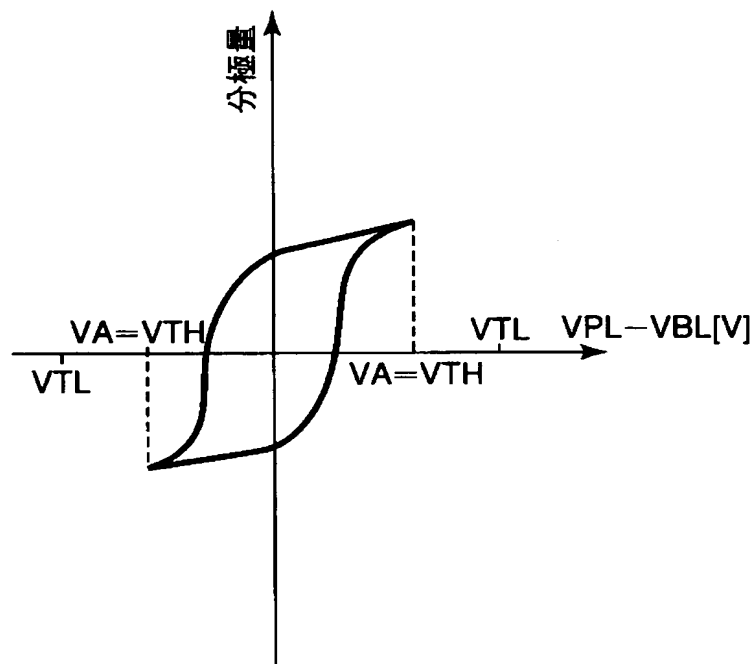
【図 9】



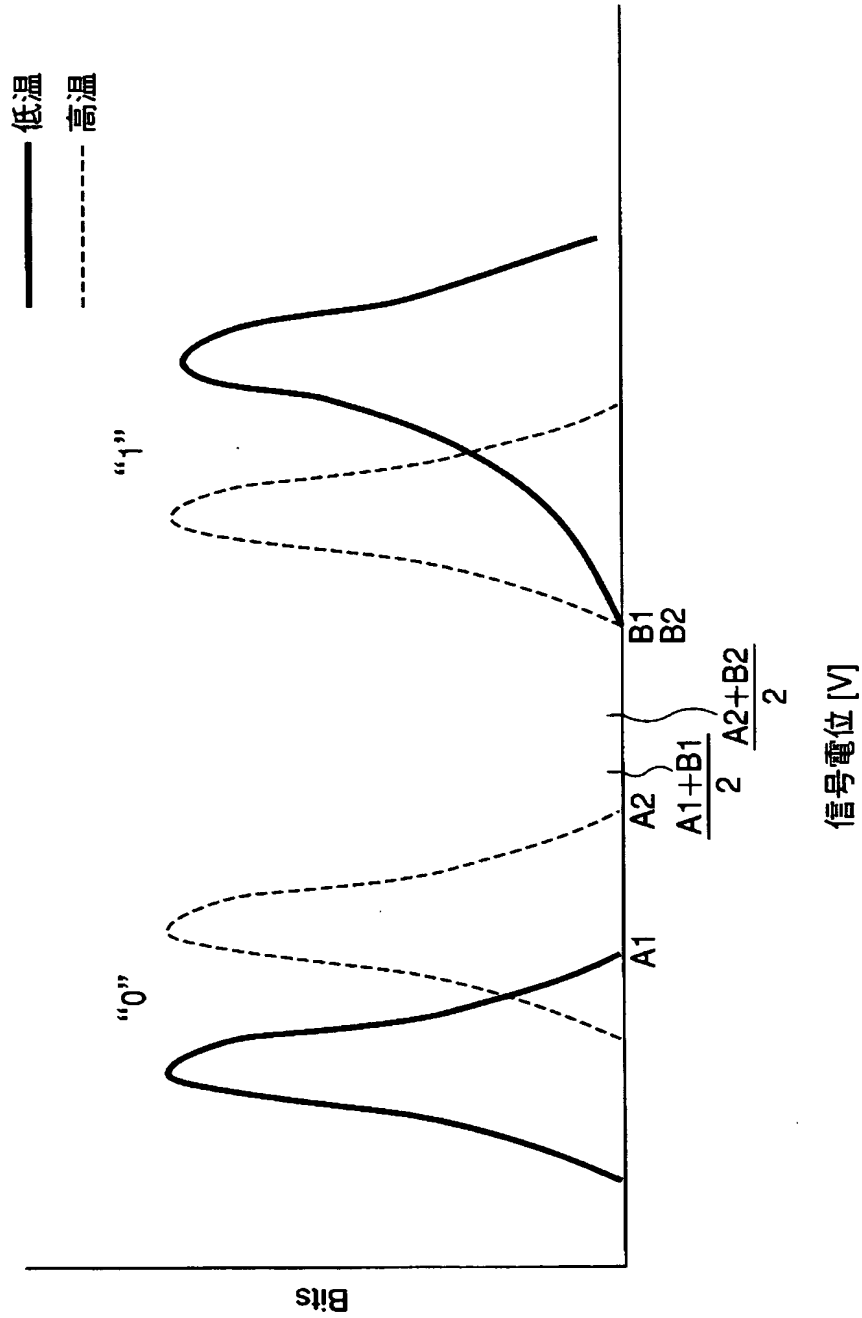
【図 10】



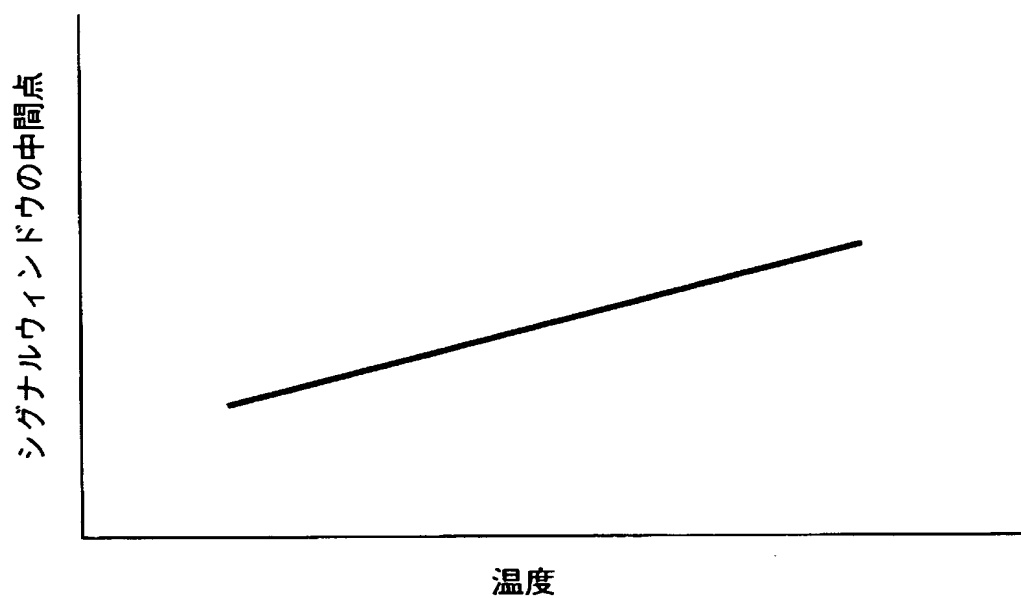
【図 11】



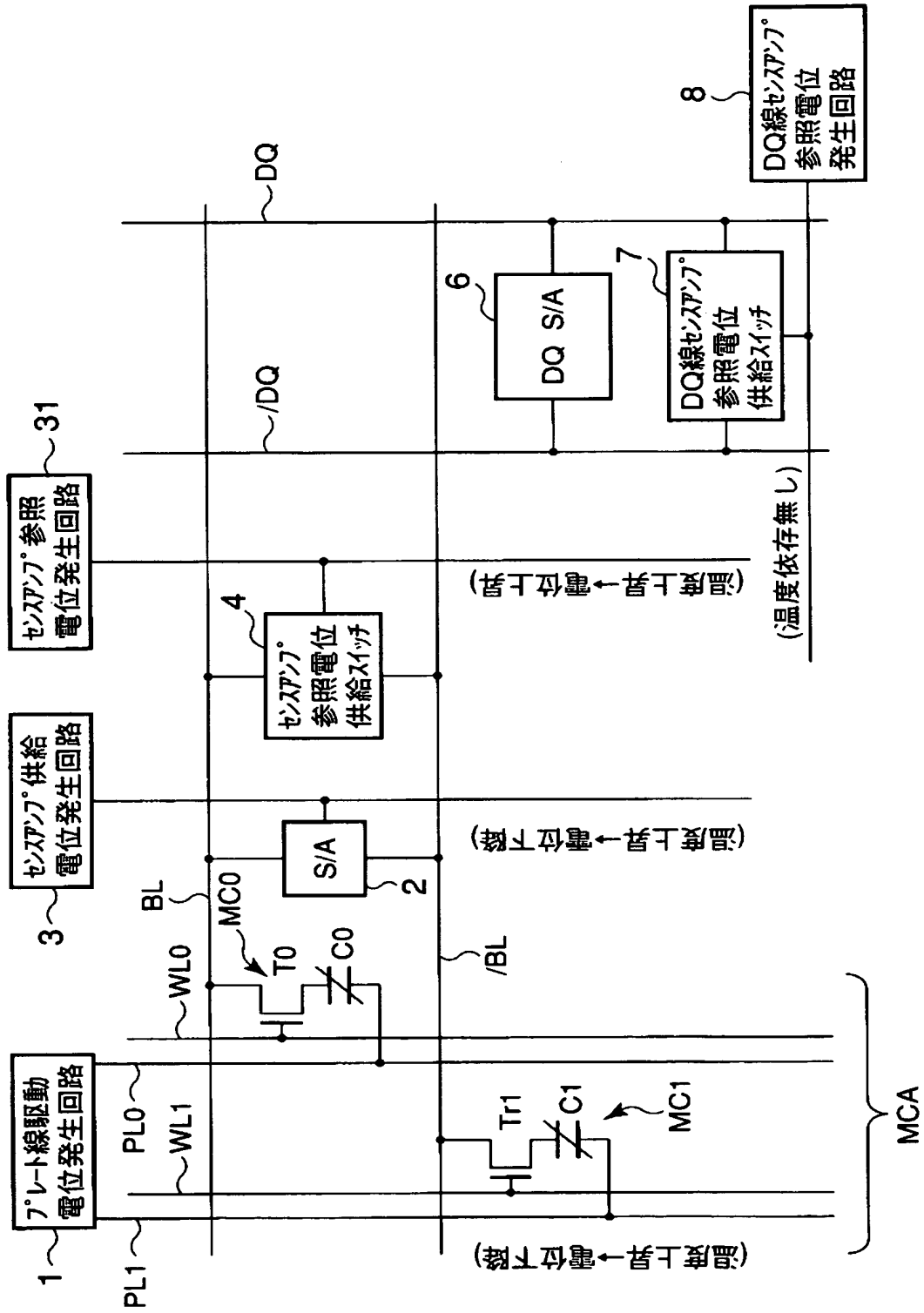
【図 12】



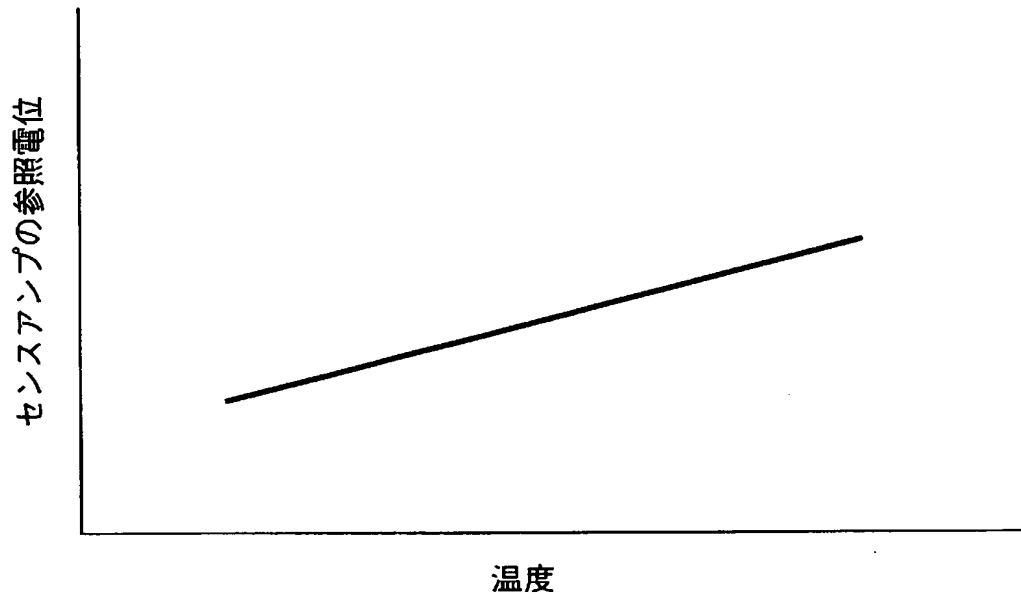
【図 13】



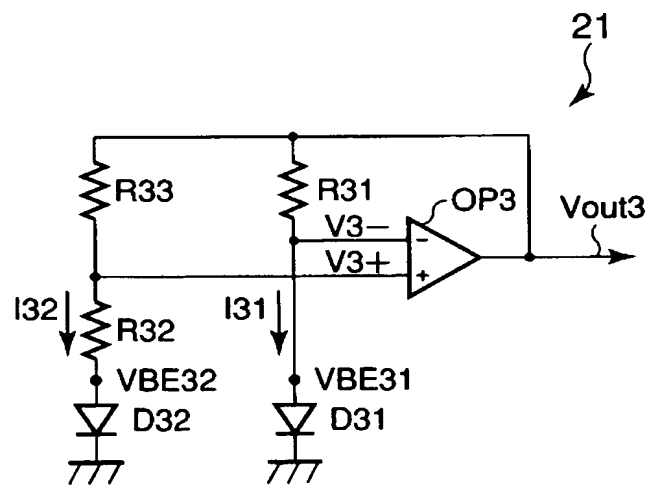
【図 14】



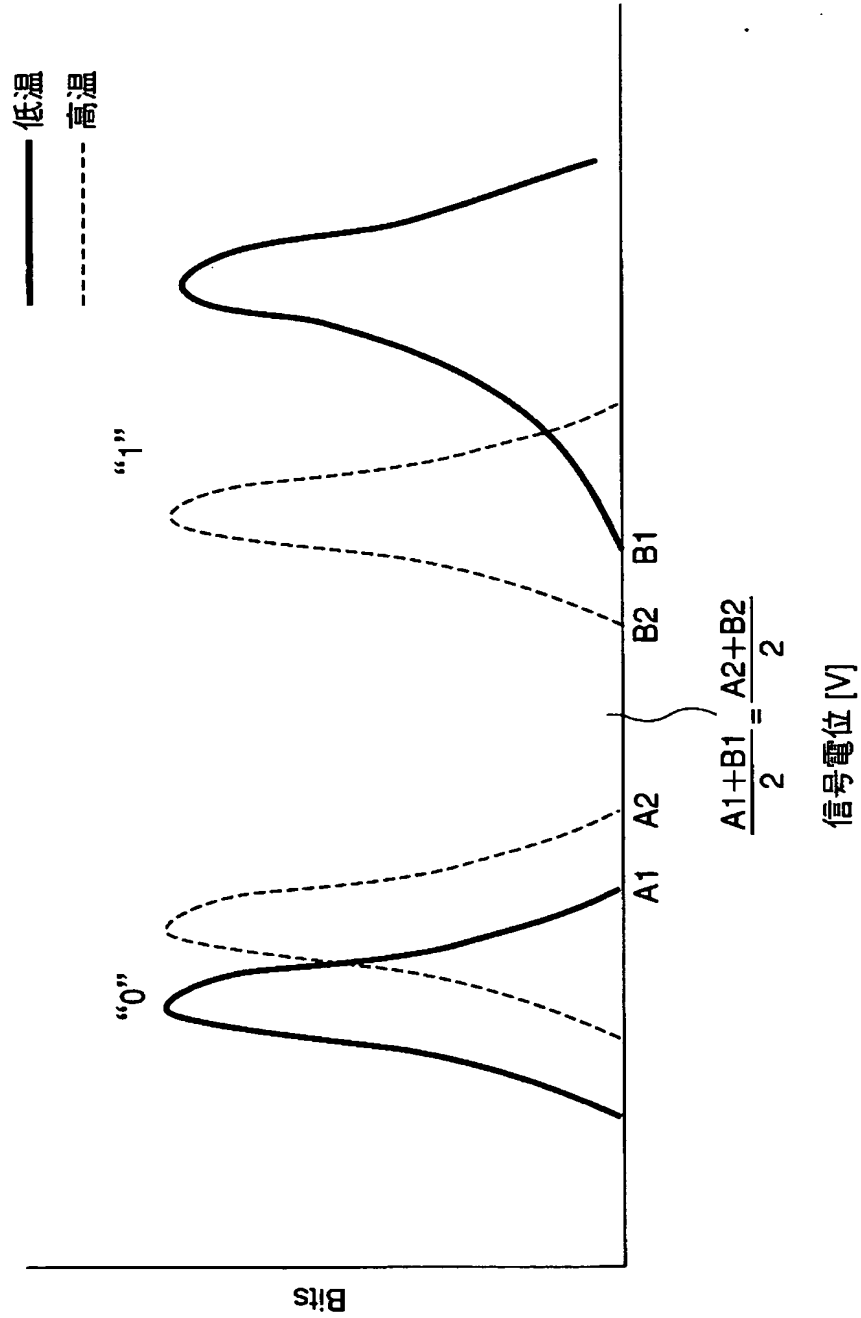
【図 15】



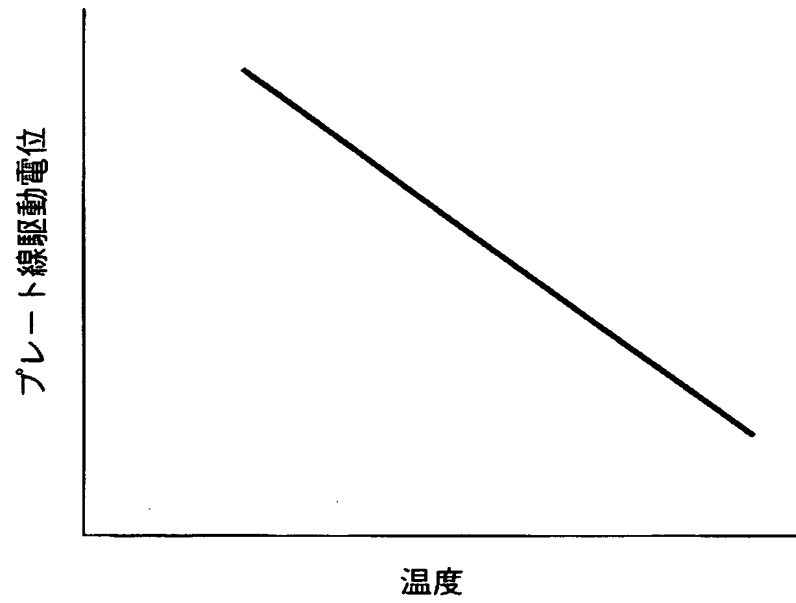
【図 16】



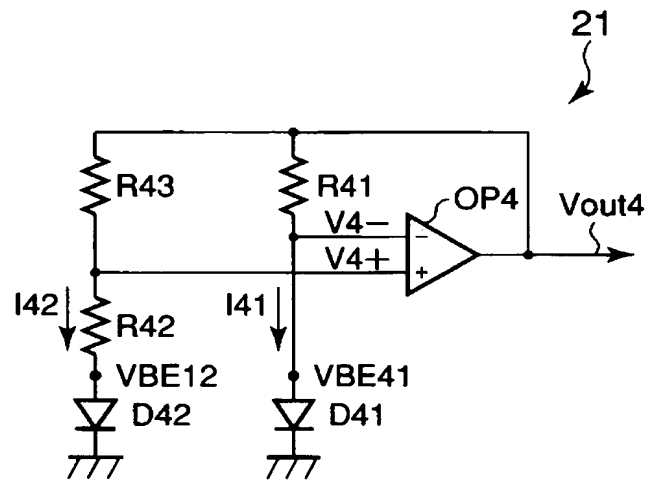
【図 17】



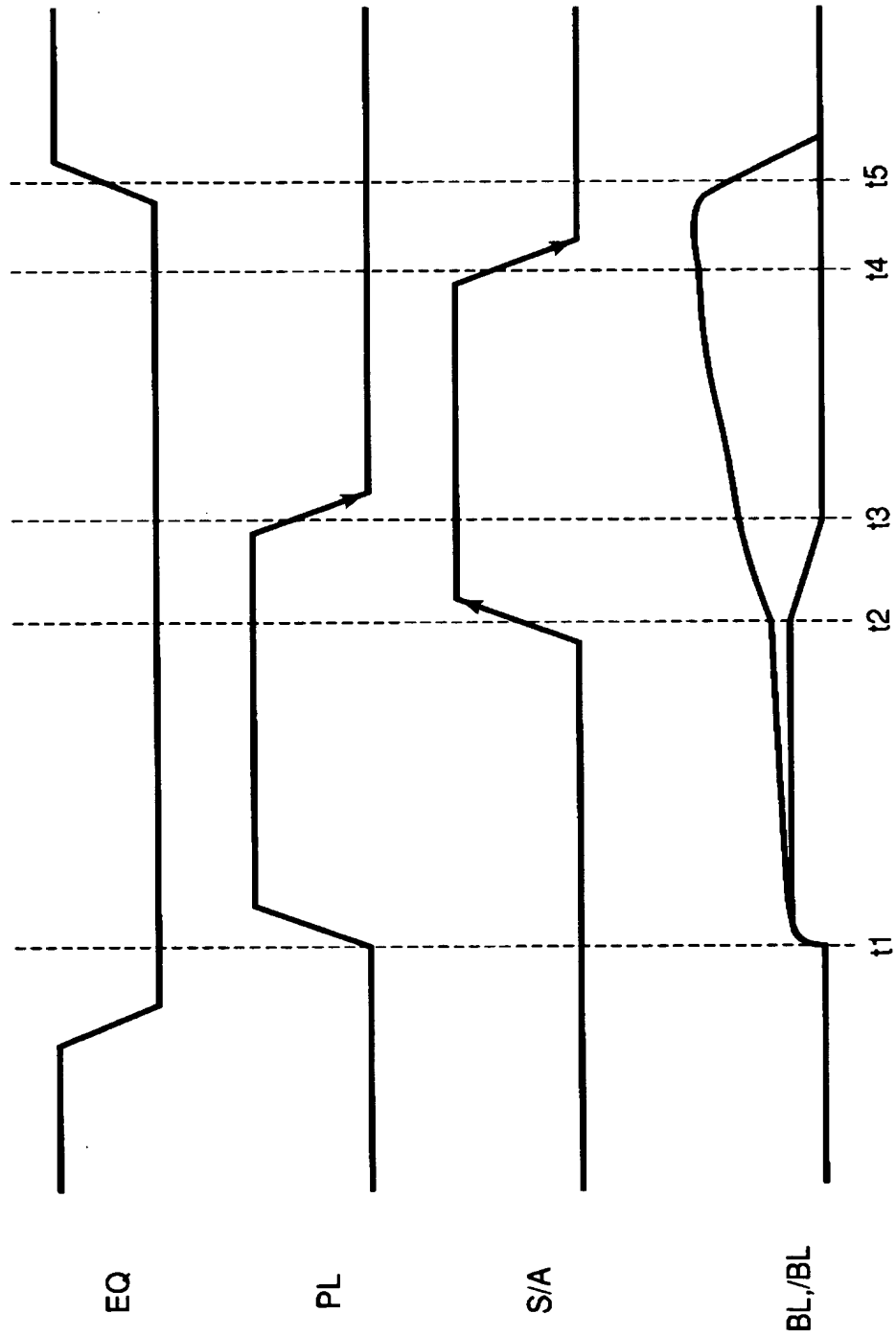
【図 18】



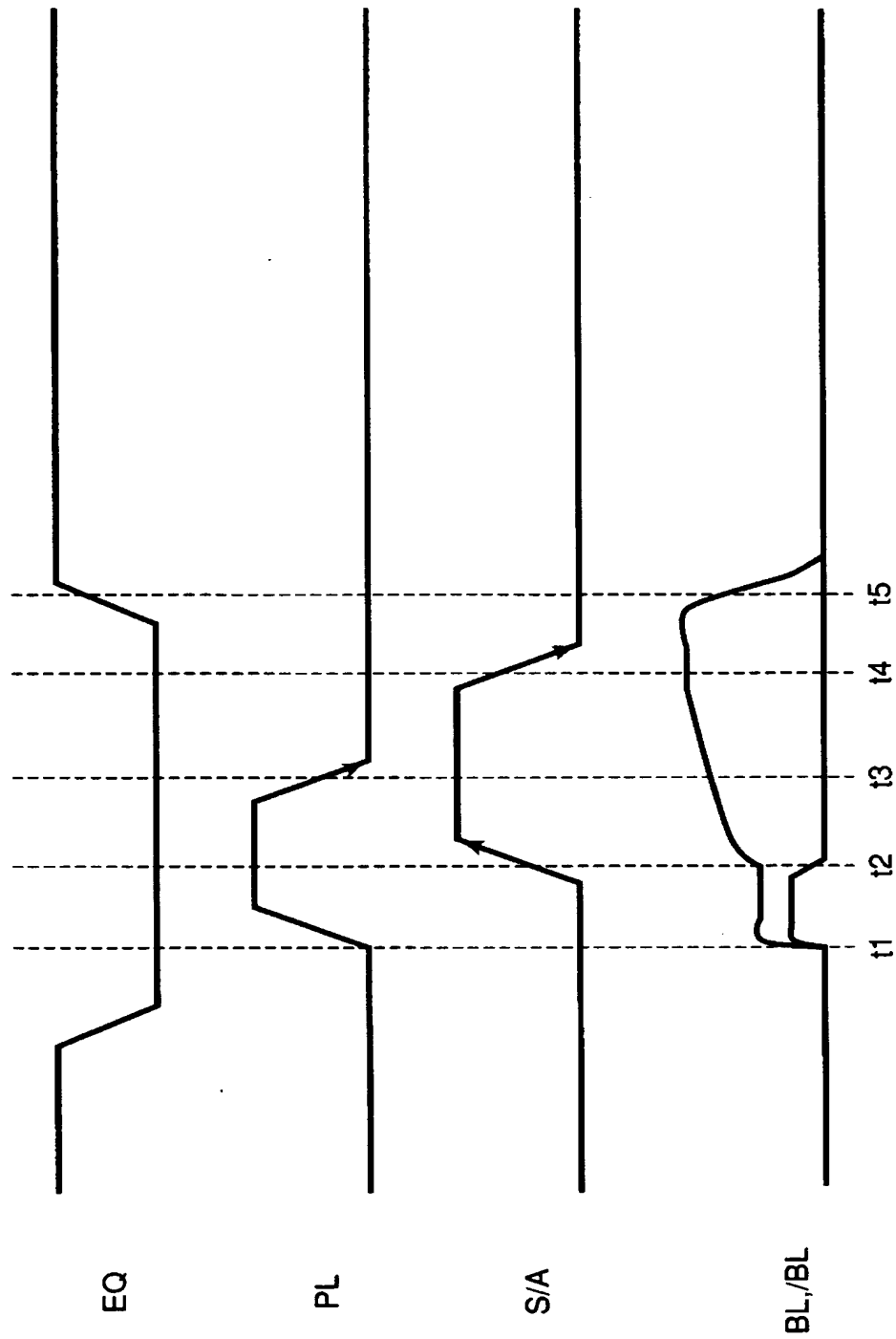
【図 19】



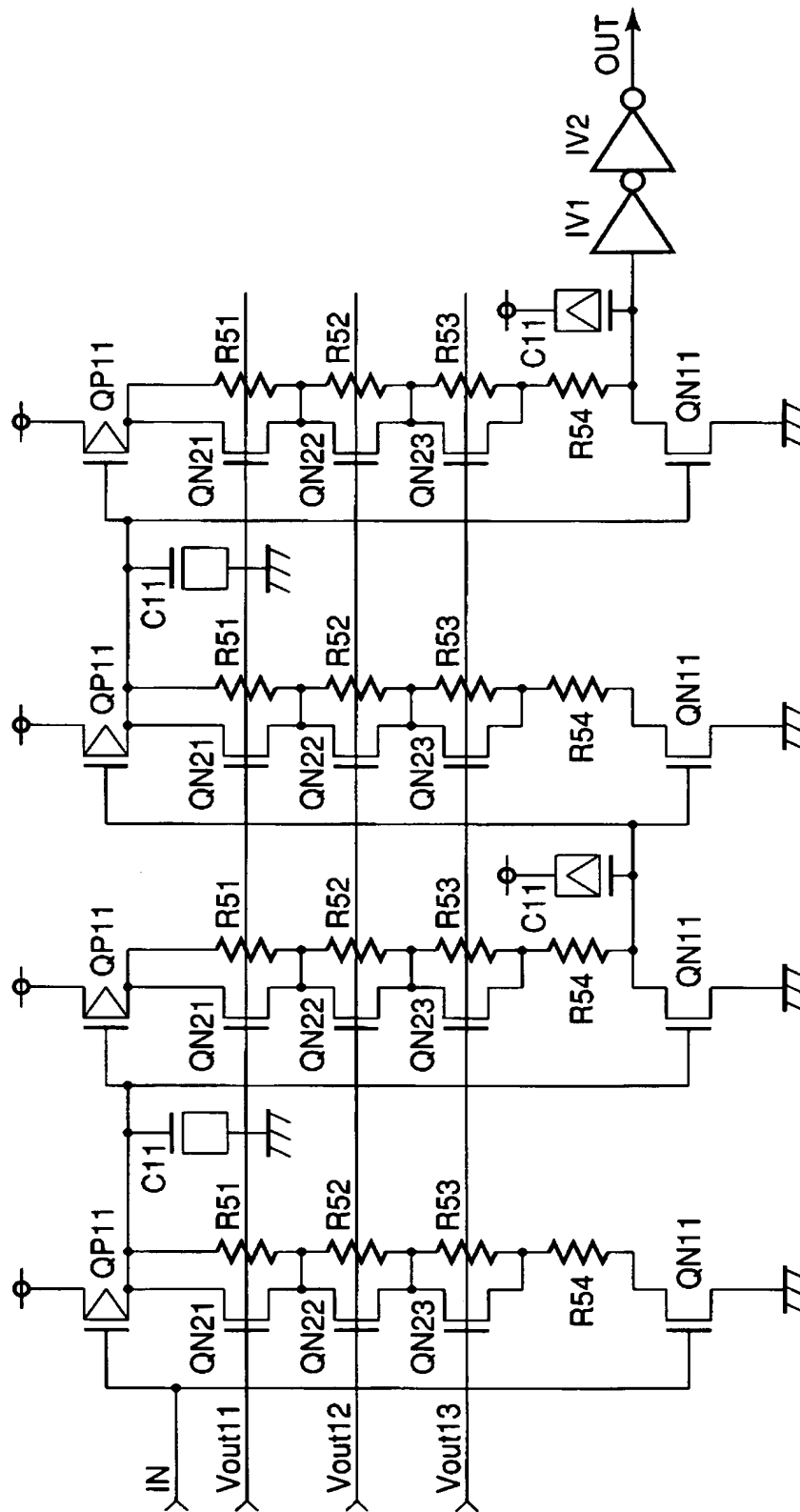
【図 21】



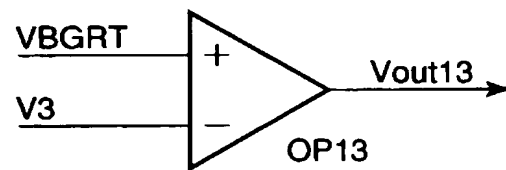
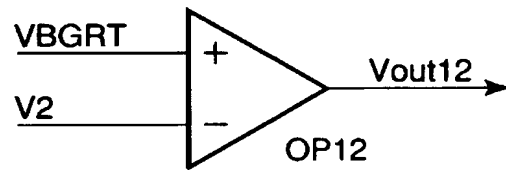
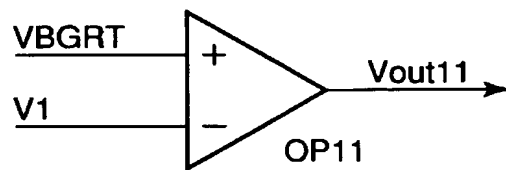
【図 22】



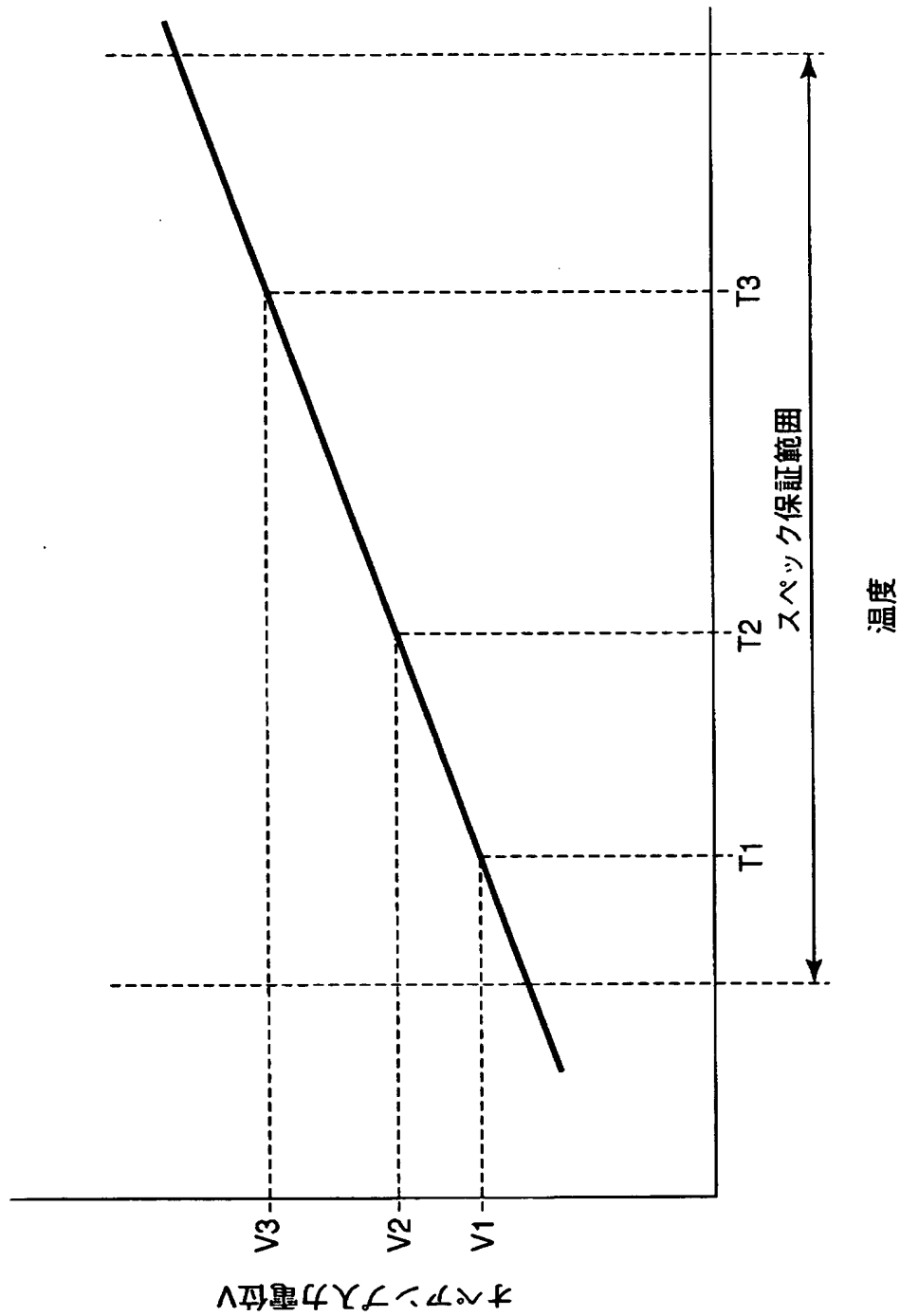
【図 23】



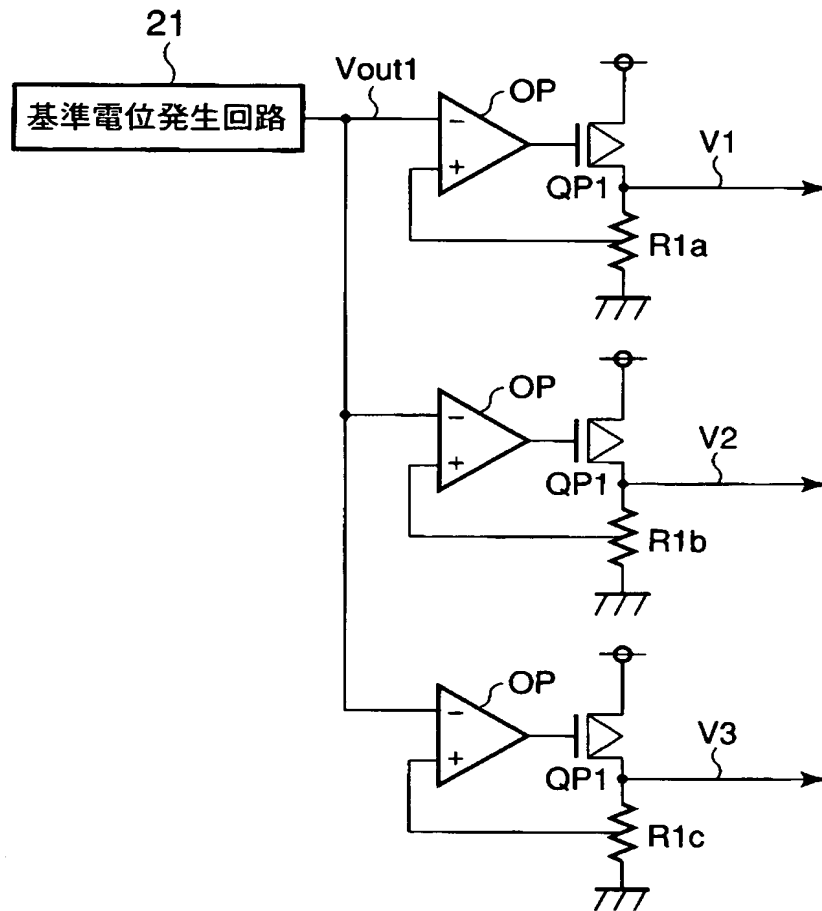
【図 24】



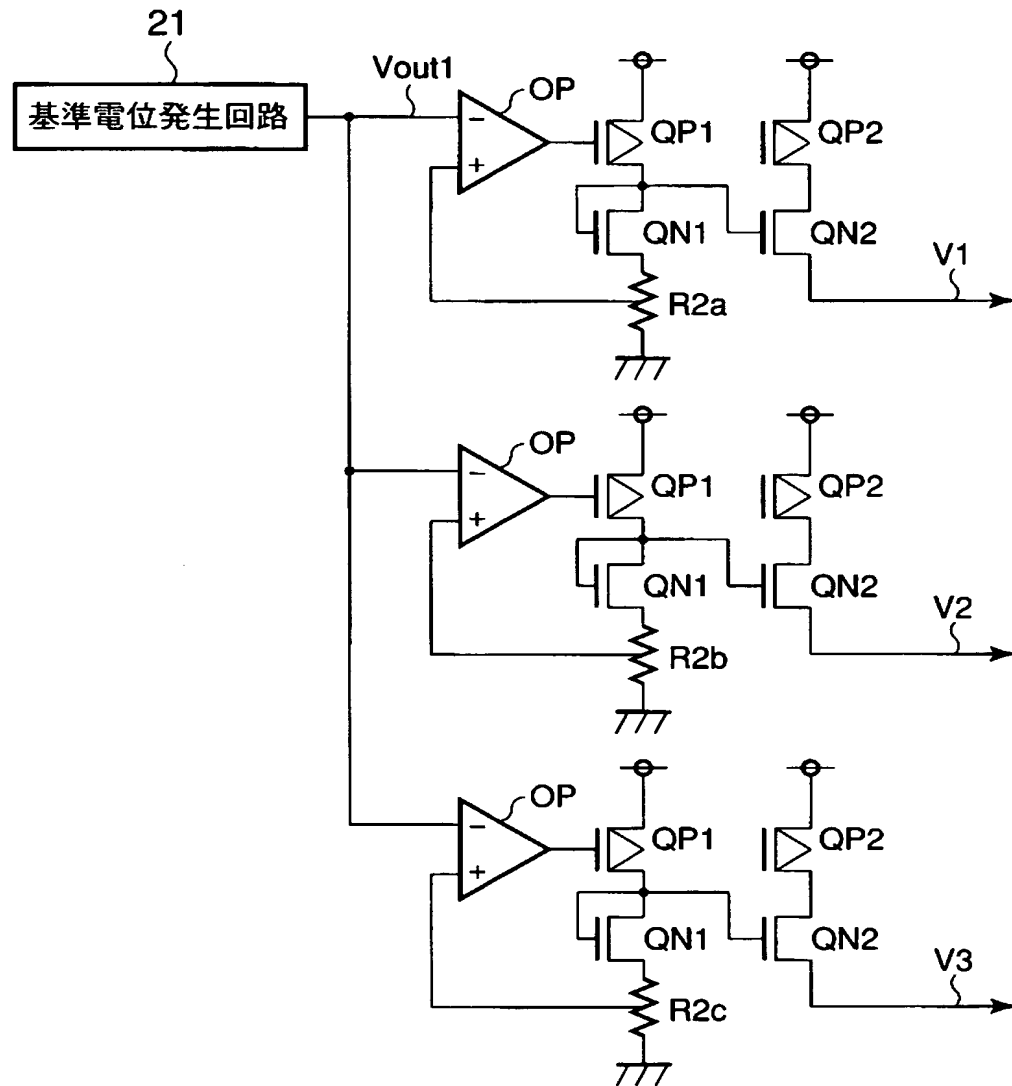
【図 25】



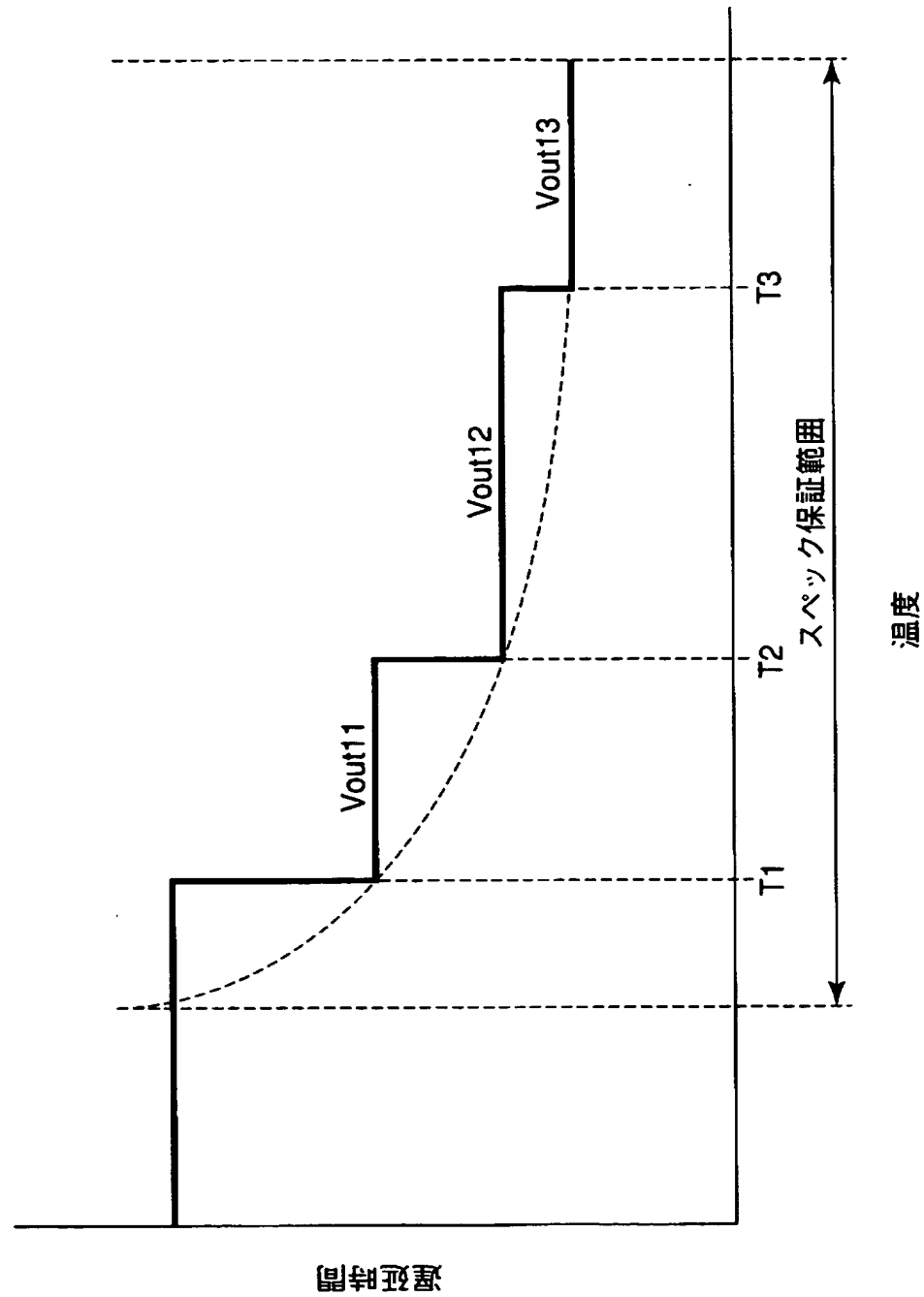
【図 26】



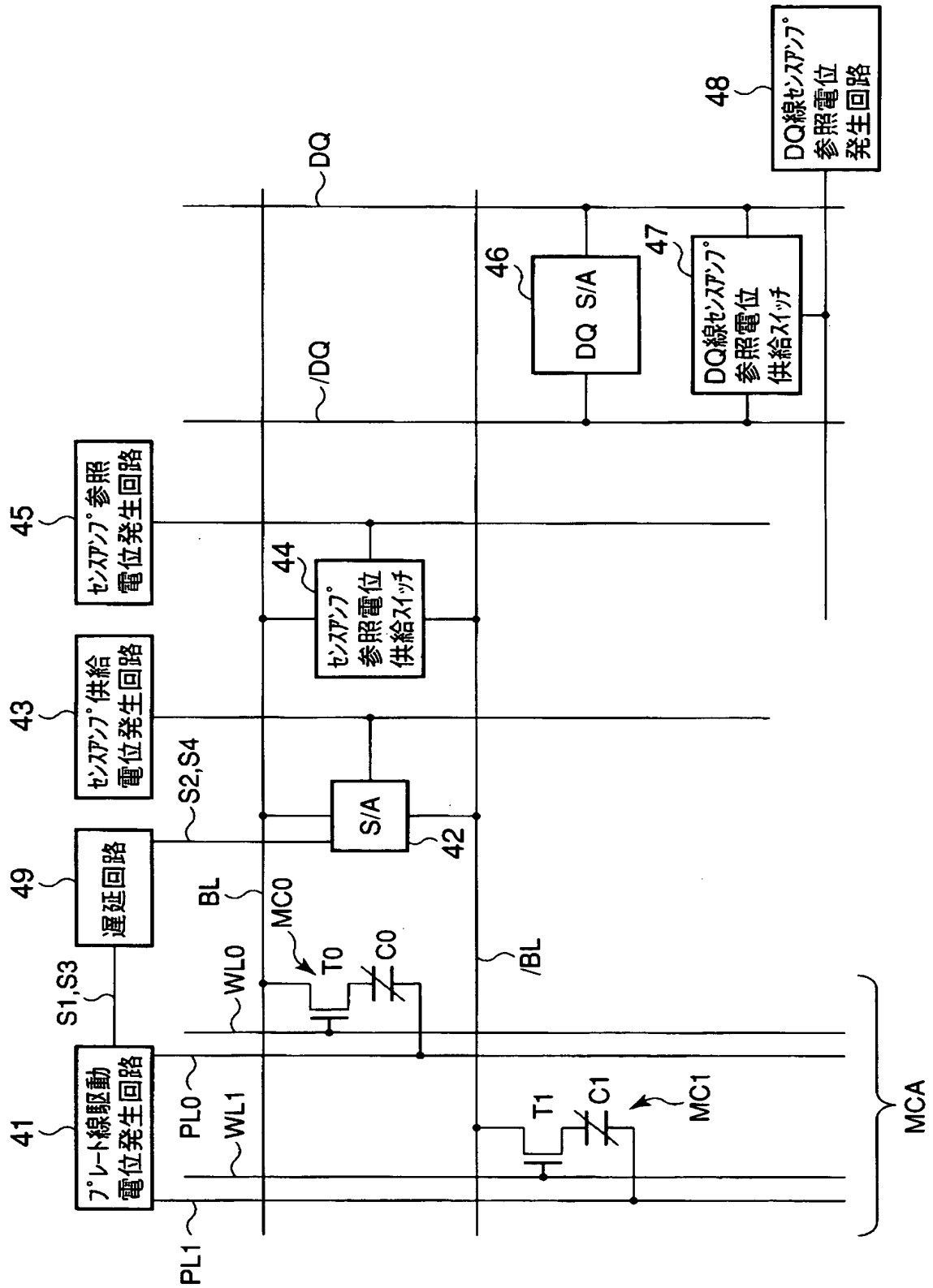
【図 27】



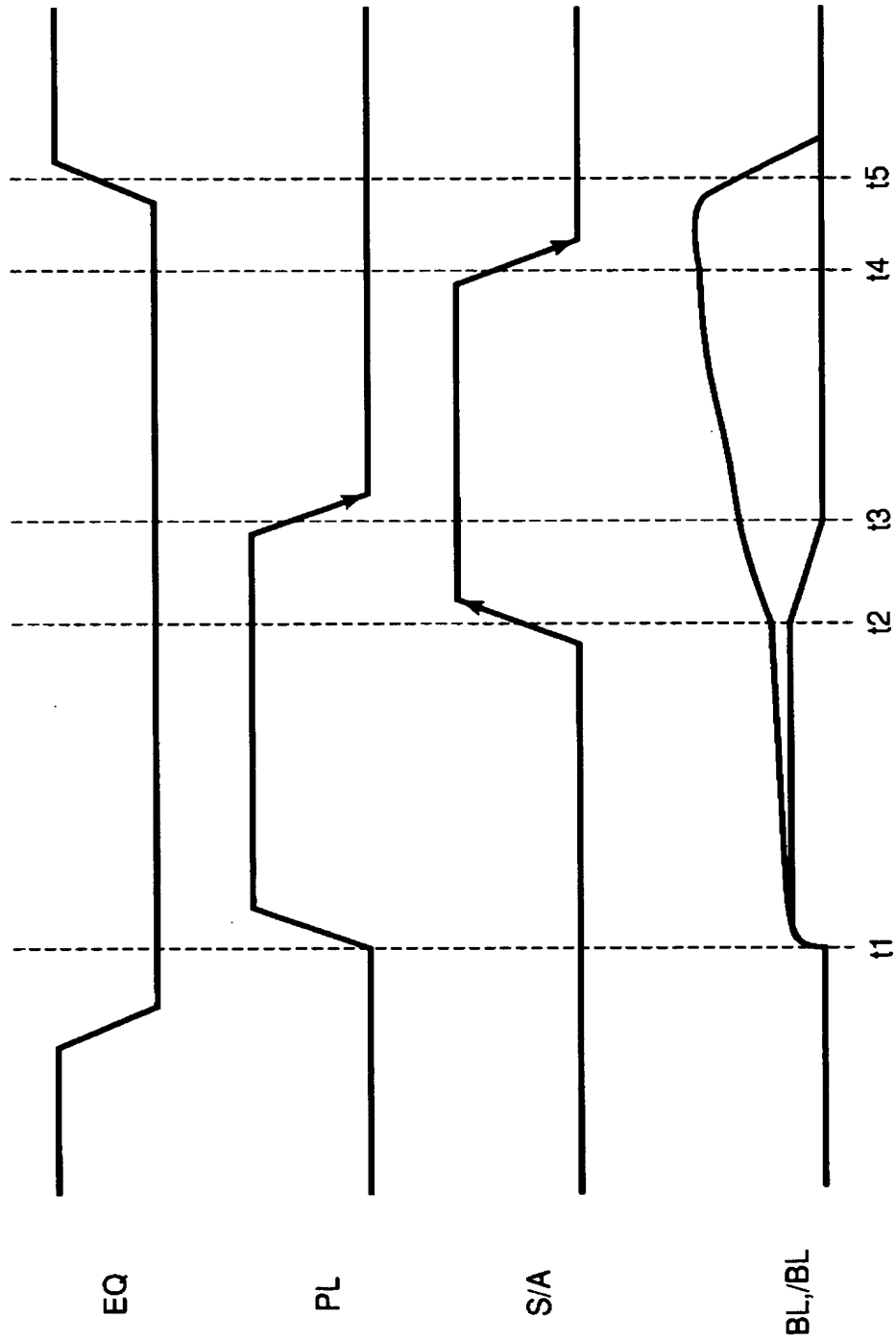
【図 28】



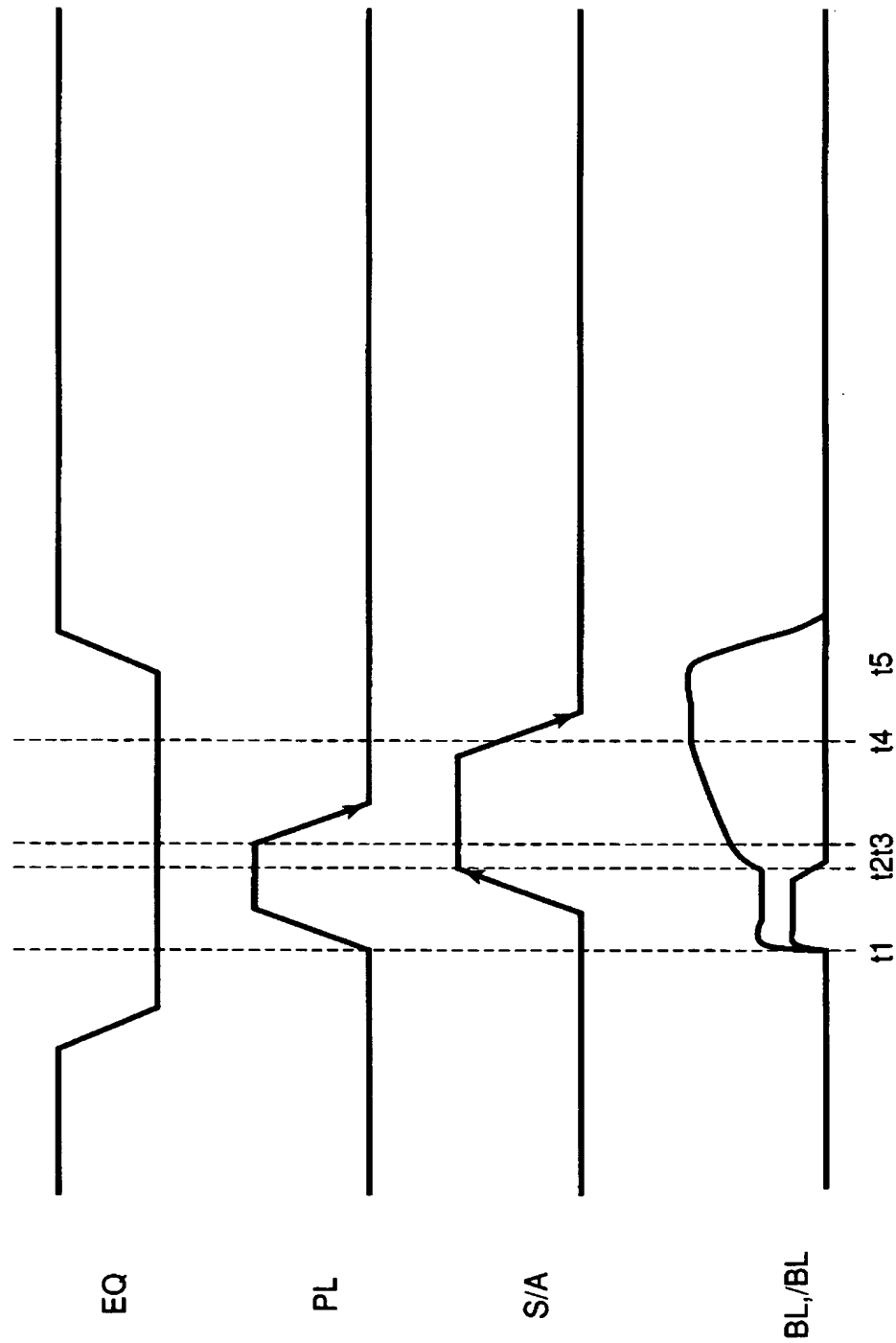
【図 29】



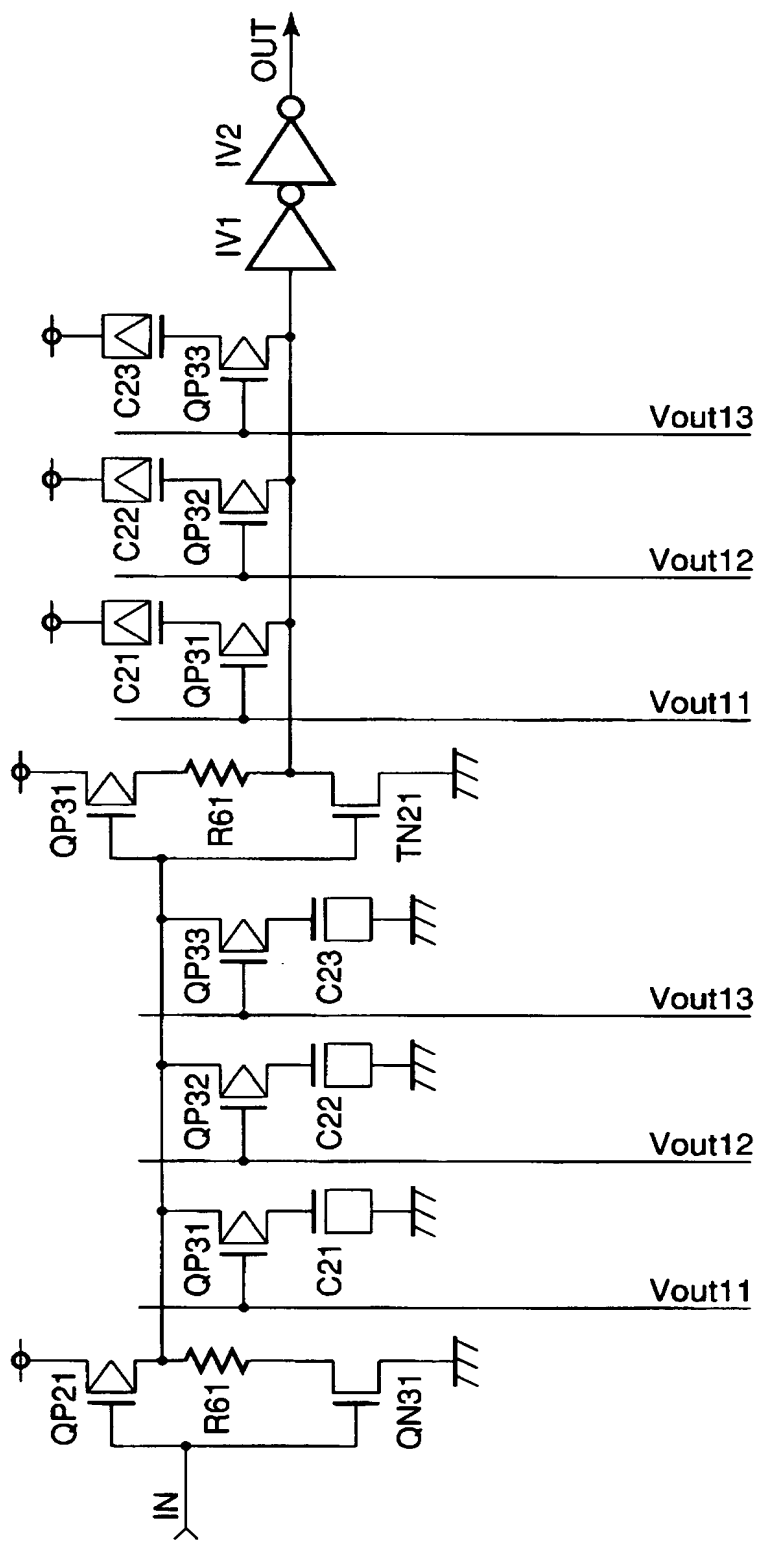
【図 30】



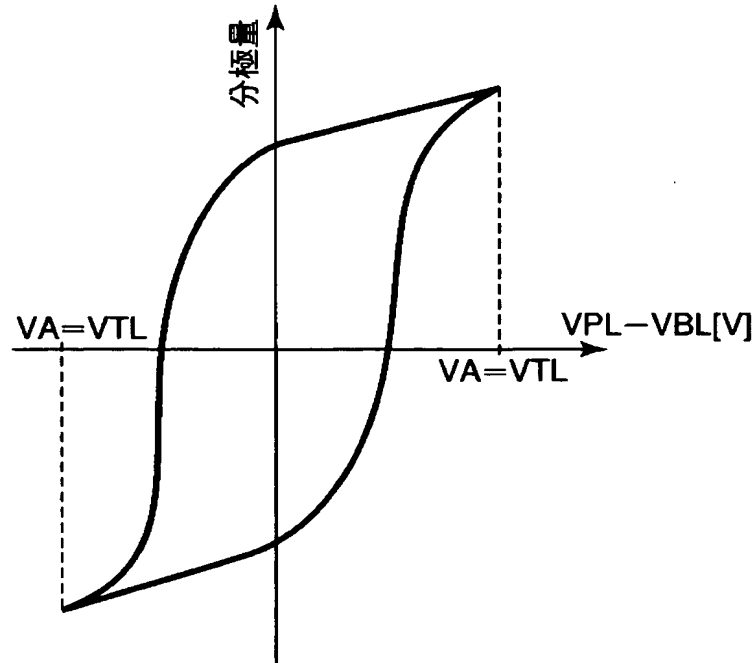
【図 31】



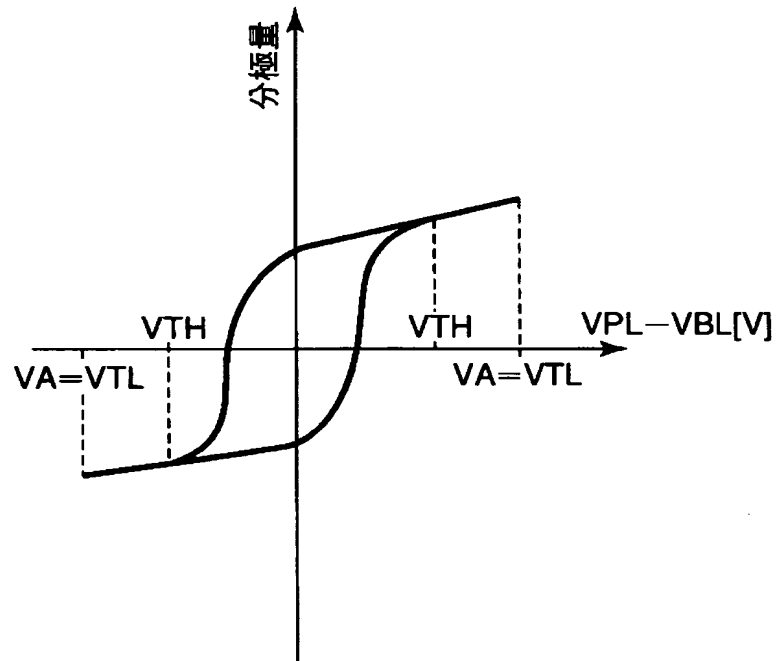
【図 3 2】



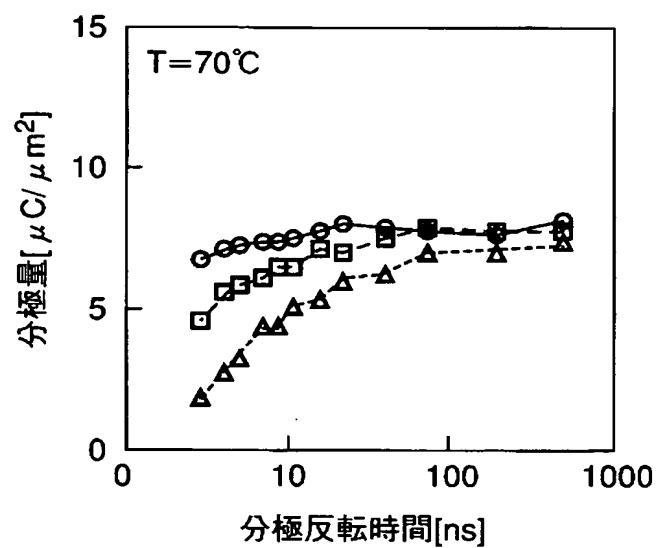
【図 3 3】



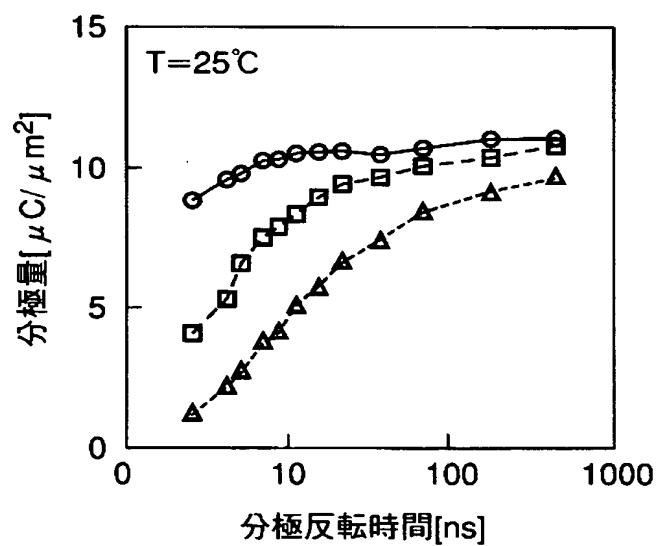
【図 3 4】



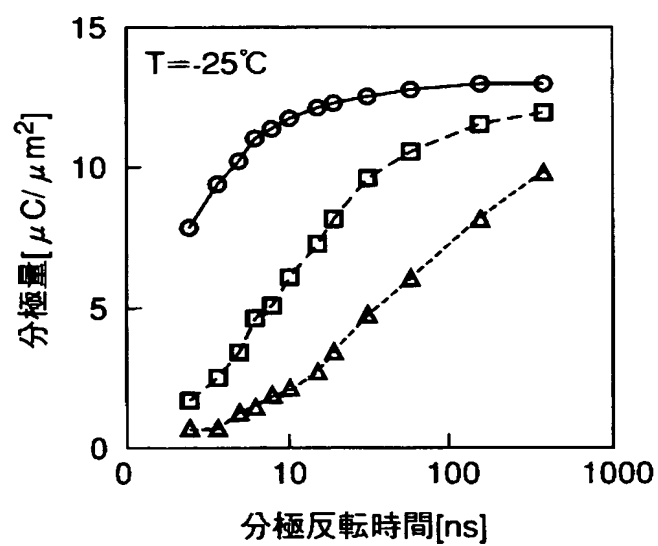
【図 3 5】



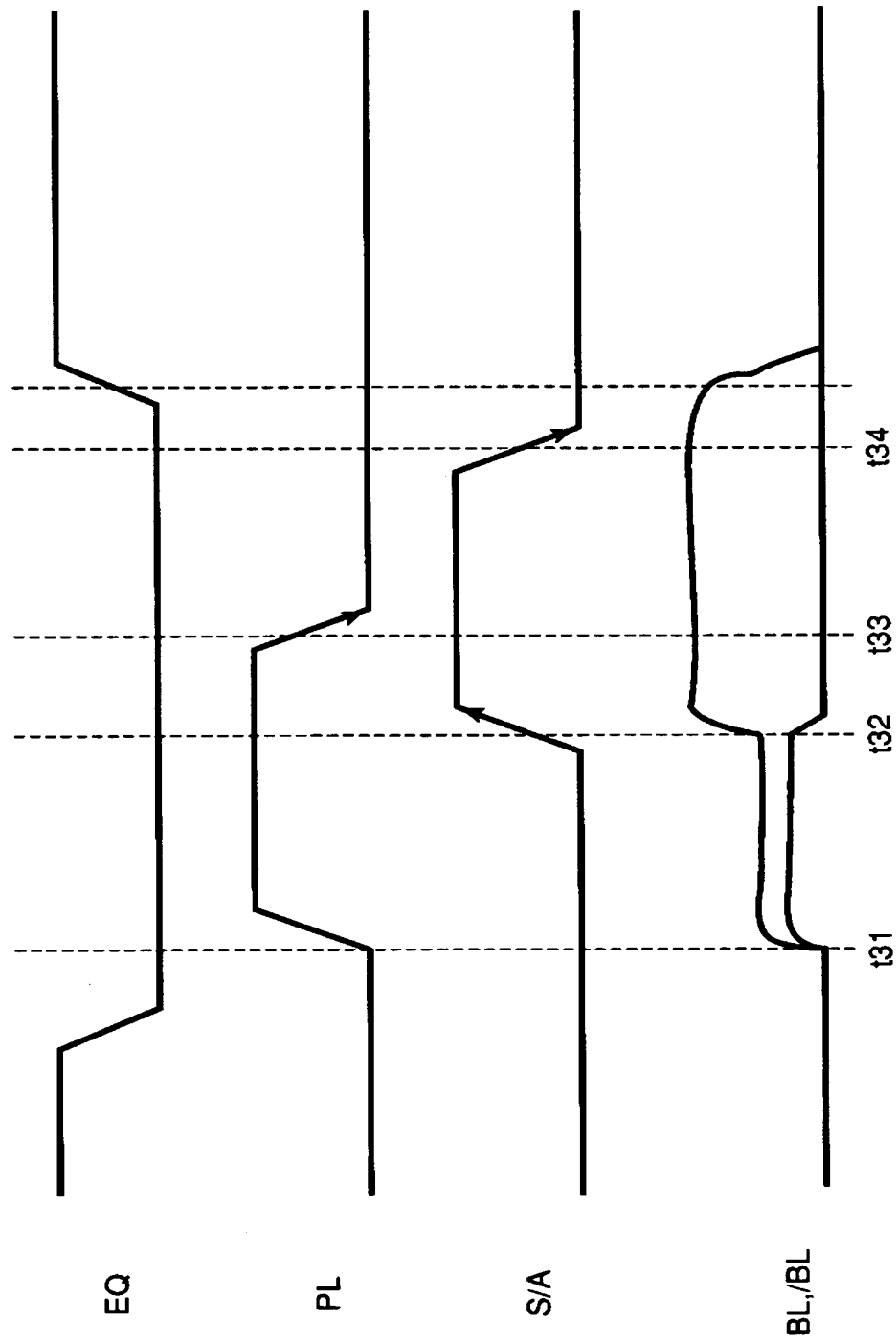
【図 3 6】



【図 37】



【図 38】



【書類名】 要約書

【要約】

【課題】 強誘電体キャパシタへの過剰な電圧の印加を防止し、高い信頼性を有する半導体集積回路装置を提供する。

【解決手段】 半導体集積回路装置は、第 1 電極と第 2 電極とを有する記憶素子としての強誘電体キャパシタを有するメモリセルを含んだメモリセルアレイ M C A を有する。第 1 ビット線 B L は第 1 電極と電氣的に接続される。第 1 電位発生回路 1 は第 2 電極に第 1 電位を供給することにより、温度の上昇に伴って第 1 変化率で下降する電圧を強誘電体キャパシタに印加する。センスアンプ 2 は、第 1 ビット線と、第 1 ビット線と相補な第 2 ビット線 / B L と、の間の電位差を増幅する。

【選択図】 図 2

特願 2 0 0 3 - 4 1 1 4 3 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝